



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): AKAMATSU et al.	Atty. Dkt.: 01-065-DIV
Serial No.: 10/657,081	Group Art Unit: 2811
Filed: September 9, 2003	Examiner: VU, HUNG K
Title: ELECTRICAL WIRING OF SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE	

Commissioner for Patents and Trademarks
U.S. Patent and Trademark Office
220 20th Street, South
Customer Window, Mail Stop Amendment
Crystal Plaza Two, Lobby, Room 1B03
Arlington, VA 22202

DECLARATION UNDER 37 C.F.R §1.131

Sir:

In compliance with 37 C.F.R. §1.131, the purpose of this Declaration is to establish completion of the claimed invention of the above-referenced patent application (hereinafter "the Subject Application") in Japan, a WTO (World Trade Organization) member country, prior to June 28, 1999, the effective date under 35 U.S.C. §102(e), of U.S. Patent No. 6,099,701 (hereinafter "the '701 Patent"). The '701 Patent was cited by the Examiner in an Office Action dated August 25, 2004 for the Subject Application.

Serial No. 10/657,081
Rule 131 Declaration

We, the undersigned, do hereby depose and say:

1. That we are the named inventors for the claimed subject matter of the Subject Application, and that each of us is currently employed by Denso, Inc., (hereinafter "Denso") the Assignee of the Subject Application.
2. That prior to the effective date of the '701 Patent, we had conceived of and conceptualized the method of manufacturing electrical wiring of a semiconductor device disclosed and claimed in the Subject Application.
3. That the attached copy of Denso engineering records (attached as Exhibit A to this Declaration), which we attest bears a date prior to June 28, 1999, the effective date of the '701 Patent, is known to us to be a true copy which, based on information and belief, evidences such conception prior to the above-noted effective date of the '701 Patent. Translated portions of the engineering records relating to the claimed subject matter of the present invention are attached as Exhibit B.

Serial No. 10/657,081
Rule 131 Declaration

4. We hereby declare that all statements made herein of our own knowledge are true and that all statements made on information and belief are believed to be true; and further that these statements were with the knowledge that willful false statements and the like so made are punishable by fine or imprisonment, or both, under Section 1001 of Title 18 of the United States Code and that such willful false statements may jeopardize the validity of the Subject Application or any patent which issues thereon.

Kazuo Akamatsu
Kazuo Akamatsu
Engineer, DENSO CORPORATION

Dated: October 18, 2004

Yoshihiko Isobe
Yoshihiko Isobe
Engineer, DENSO CORPORATION

Dated: October 21, 2004

HiroYuki Yamane
HiroYuki Yamane
Engineer, DENSO CORPORATION

Dated: October 18, 2004

特許出願・公開特許手続申請票/譲渡証書

注) ボールペンで記入して下さい。

特許No. 53886

受付番号 99-322

〒1010 知的財産部

※太枠内は申請部にて記入下さい。

原価部門No. (知財部記入)

2160

(特許専任者) (知財担当者)	(年月日)
山根 宏幸	99/3/25

承認 (部長)	検討 (課長)	作成 (発明者)
99.2.12 本	99.2.10 山根	99.2.10 赤松

本受付日 99.6.-3

受付印



発明の名称

半導体の製造方法(配線形成方法)

譲受人:

愛知県刈谷市昭和町1丁目1番地 株式会社デンソー

原稿作成者	発明者氏名: 英字 Ex) Denso Taro	所属	TEL(外線) TEL(内線) メール	印鑑	署名年月日 職番	発明者の現住所 (社内電子メール) 例) 愛知県春日井市高森台2丁目15番地の8 (電子メール: komamura@ipd.denso.co.jp)
	発明者氏名: 漢字 例) 電装 太郎					
譲渡人	Akamatsu Kazuo 赤松和夫	電子機器 開発部 開発課	0564-56-7456 557-6313 〒7500	赤松	99年1月26日 0971175	現住所: 愛知県岡崎市稲熊町5-81-6 (電子メール: akamatsu@ic705.denso.co.jp)
	Isobe Yoshihiko 磯部良彦	電子機器 開発部 開発課	0564-56-7456 557-6315 〒7500		99年1月26日 1096016	現住所: 愛知県豊明市前後町螺貝1372-1 エニール豊明2701 (電子メール: isobe@ice.denso.co.jp)
	Yamane Hiroyuki 山根 宏幸	電子機器 開発部 開発課	0564-56-7456 557-6361 〒7500		99年2月10日 0295934	現住所: 愛知県安城市北山4番町運台36-5 (電子メール: yamane@ice.denso.co.jp)
		部 課	- - 〒		年 月 日	現住所: (電子メール:)
		部 課	- - 〒		年 月 日	現住所: (電子メール:)
		部 課	- - 〒		年 月 日	現住所: (電子メール:)

本発明に関し日本及び諸外国で特許を受ける権利を貴社に譲渡致します

備考

- 申請発明に関連部署がある場合は、その部署と重要性判断等につき予め打合せ願います。また、関連部署名を右欄に記載願います。
- 発明者は実際に発明をした人のみ記載して下さい。虚偽の発明者を記載すると、特許無効となります。例えば下記の例では発明者となりませんのでご注意ください。

関連部署 部 課

- 解決すべき問題を発見 解決指示 目標設定したが、解決の具体的アイデアは着想できなかった。
- 複数人での検討に参加したが、具体化に結びつくアイデアは着想しなかった。
- 他人の指示 助言に基づき、実験 詳細設計 実施例記載をした。

- 共願の場合、共願先の発明者については「所属」の欄に部署名、「現住所」欄に共願会社名を記入下さい。
- 総研以外の共願の場合は押印不要です。別途譲渡証書を作成します。←総研との共願の場合は押印下さい。
- 発明者氏名の中にJIS規格外の文字があるときは、願書の発明者欄の記載は平仮名もしくは他の漢字に置き変わります。
- 事前検討会の情報を下記下さい。

<input type="checkbox"/> 事前検討していない	検討結果 <input type="checkbox"/> 保留 <input type="checkbox"/> 国内出願のみ	<input type="checkbox"/> 公開技報 <input type="checkbox"/> 外国出願要	知財部担当者	申請部整理No
<input type="checkbox"/> 事前検討済(用紙添付)				事前検討日 ____月 ____日

知財部通信欄 その他特記事項記入欄

ICNo. '99-034

重要性判定票

内は外国申請時に記載下さい。

重要性判定 (申請部課長)	評価項目	半川断り	チェック欄 (申請部課長)	
			出願申請時	外国申請時
市場性	① 市場の大きさ 他社を含む全市場が今後10年間平均で100億円/年以上であれば大1億円/年未満であれば小	出願申請時	不明 ← 小 → 大	不明 ← 小 → 大
	② 当社ビジネスの大きさ 全社的観点で主力製品と成り得るか判断 当社生産予想 台/年 (年 ~ 年)	出願申請時	不明 ← 小 → 大	不明 ← 小 → 大
		外国申請時	不明 ← 小 → 大	不明 ← 小 → 大
新規性	③ 技術テーマの新しさ 独自に見出した課題に基づく発明か判断	出願申請時	既知 ← 小 → 新規	既知 ← 小 → 新規
		外国申請時	既知 ← 小 → 新規	既知 ← 小 → 新規
技術的価値	④ 回避の困難さ 代替案の生産がコストアップ、性能低下せずにできるか判断	出願申請時	容易 ← 小 → 困難	容易 ← 小 → 困難
		外国申請時	容易 ← 小 → 困難	容易 ← 小 → 困難
実現性	⑤ 効果の大きさ コスト、性能、小型化等の面で従来例よりどの程度優れているか判断	出願申請時	小 ← 中 → 大	小 ← 中 → 大
		外国申請時	小 ← 中 → 大	小 ← 中 → 大
基本性	⑥ 実施の可能性 10年以内に当社 and/or 他社で継続的に商業実施される可能性を判断	出願申請時	不明 ← 小 → 大	不明 ← 小 → 大
		外国申請時	不明 ← 小 → 大	不明 ← 小 → 大
基本性	⑦ 発明の位置づけ 基本発明か周辺発明か判断	出願申請時	周辺 ← 小 → 基本	周辺 ← 小 → 基本
		外国申請時	周辺 ← 小 → 基本	周辺 ← 小 → 基本

外国出願 (出願国名) / 国内出願 / 公開技術の判断

重要度に応じ出願国を決定し右欄にレ点を付してください。
出願国が半明していれば下欄にレ点を付してください。

出願時	外国時	出願国名	出願時	外国時	出願国名
✓		アメリカ			韓国
		ドイツ			ブラジル
		フランス			メキシコ
		イギリス			スウェーデン
		イタリア			オーストラリア
		スペイン			台湾
		カナダ			タイ
		中国			

重要度		1	2	3	4	5
判断時	出願申請時			✓		
	外国申請時					

出原国		公開技術	国内のみ	外国1	4	5~
判断時	出願申請時			✓		
	外国申請時					

出願時 重要度と出願国とが点線の対応とは異なる場合の理由

外国申請時 重要度と出願国とが点線の対応とは異なる場合の理由

出願申請時と外国申請時とで判断を変更した場合の理由

特記事項 (出願申請時) 公開技術の場合は、①②のみ記載

① 発明の段階	<input type="checkbox"/> 実施決定 (年 月 当社) 車両開発コード <input type="checkbox"/> 試作確認済 { 年 月 } <input checked="" type="checkbox"/> 試作予定 { 99 年 4 月 } <input type="checkbox"/> 専門的調査検討済み <input type="checkbox"/> アイデア段階
② 共願原会社	<input checked="" type="checkbox"/> なし <input type="checkbox"/> あり 会社名 () 手続担当会社 <input type="checkbox"/> 当社 <input type="checkbox"/> 共願先 発明発生の経緯 <input type="checkbox"/> 共同開発 <input type="checkbox"/> その他 (知財部通信欄に経緯を記入)
③ 特急出原	具体的理由を記載して下さい。 例) 社外発表時 ラインオフ時 ・出願完了厳守日 (年 月 日) 理由

④ 関連技術的調査	関連の先行文献を添付して下さい。 <input type="checkbox"/> 充分な調査済 調査内容 <input type="checkbox"/> 添付調査票参照 <input type="checkbox"/> 右欄記載 <input checked="" type="checkbox"/> 調査不十分 追加調査 <input checked="" type="checkbox"/> 要 <input type="checkbox"/> 不要	重要度 (調整結果) 「3」以上の案件で調査票無添付のものはIPICSで調査を行います。 【調査範囲】 調査分類 _____ 調査年代 _____ 【先行文献; デリ先願】 1. 特許 NO. 40447 2. " 46026, 46012
⑤ 国内優先	<input type="checkbox"/> あり <input checked="" type="checkbox"/> なし 国内優先権を主張できる出願の有無、その特許No. 及び併合のポイントを記載下さい。	1. _____ 2. _____
⑥ 重要テーマ	登録案件の場合 コードを記入 (知財部) コード: X	登録案件 <input type="checkbox"/> YES <input checked="" type="checkbox"/> NO

調整結果 (知財部記入)	却下	公開技術	国内出願	外国出願	特許性	1	2	3	4	5	確認 (課長)
知財部判断が申請部と異なる場合は調整後の最終結果を記入 重要案件に付いては調査の確認要	<input type="checkbox"/>	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	特許性	1	2	3	4	5	99.6.1 満
IPICS調査: <input type="checkbox"/> 済 <input type="checkbox"/> 要 <input checked="" type="checkbox"/> 不要					理由	外国特許					
					重要度	1	2	3	4	5	

(※印箇所は知財部記入)

※発行日

※整理番号

[発明日証明用サイン欄]

(特許専任者)

(年月日)

赤松和夫 9/12/17

(知財担当者)

(年月日)

赤松和夫 9/12/17

・私はこの出願明細書及び添付された図面に記載されている発明を読み理解しました。

特許専任者、知財部員が発明日を証明するウィットネスとしてサインします

※社内分類

※国際分類

知財部担当者印

発明の名称

半導体の製造方法(配線形成方法)

※名称変更の場合

発明者氏名

所 属

TEL/メール

※知財部書記入欄

Akamatsu Kazuo

電子機器

0564-56-7456

赤松和夫

開発

557-6313

開発課

〒7500

(発明のポイント及び具体的用途)

- a. 何をどのようにしたことが新しいのか簡潔に記載して下さい。
b. 具体的用途が複数あるときは全て記載して下さい。

Al合金配線を反応性に富んだTaN膜で上下を挟みサンドイッチ構造にすることでAlと比較し、配線抵抗係数がCu、W等の材料と組み合わせる多層配線構造で発生するカーゲル効果によるエレクトロマイグレーション寿命の低寿命化を防止、高信頼性配線を提供するものである。この場合配線上面の反射防止膜は反応性に富んだTaNと反応性に富んだTaN(こちらが下層)との多層膜に付着している。

(従来技術及びその問題点)

- a. 従来技術は特許公報等の文献名(特開平〇-〇〇〇号、先願No等)を挙げて記載して下さい。
b. 画期的で従来技術の無い場合には社会的ニーズを記載して下さい。
c. まだ公開されていない技術は公知技術としない下さい。

記載例

・従来技術として、...がある。これは、...であるが、...という問題が生じている。
・近年、...という要望がある。このため、...は既になされているが、...ということはできていない。
・...という目的で、すでに特許No. 〇〇〇(受付No. 〇〇)を出願したが、この先願では、...という理由で、...の問題があった。

IC製品の高機能・高速化に伴い、半導体プロセスは微細・多層化が進んでいる。0.5μmルールに微細化プロセスでは、配線はAl合金がボトムにはWが配線材料の主流として採用されている。この配線材料での信頼性上の最重要課題には配線抵抗係数差の大きい材料の組み合わせによるカーゲル効果によるエレクトロマイグレーション寿命低下である。この効果の促進要因としてAlとTiの反応層(TiAl₃)が添加Cuの増速拡散経路となり、EM寿命が低下するとされている。そのため、従来の(反射防止膜構造として)TaN/Ti(反射防止膜)のTiの薄膜化が検討されたが、5nm以下では効果がなく、成膜装置の膜厚管理が難しいという問題がある。別の方法としては、反射防止膜のTiをなくし、TaN単層構造にする方法もあるが、TaNとAlとの界面に絶縁物であるAlNが形成され、ボトム抵抗が増大する問題がある。又、従来も単独配線で同構造を採用した配線は、EM寿命が大幅に低下する結果もあり、Al合金(純Al含む)配線上に連続(真空中破壊防止)でTaNを成膜する場合、この様に、IC製品の品質を低下させる問題がある。

(発明が解決しようとする課題)

a. 問題を解決するために何を課題・目的として取り組んだのか記載して下さい。

- 記載例
- ・ 本案は、... という点に着目し、... することにより上記問題点を解決するものである。
 - ・ 上記問題点に鑑み、... という点と、... という点を兼ね備えた、... を得ることを目的とする。
 - ・ 上記問題点は、... という原因で発生するという点に着目し、... できるようにすることを目的とする。

反応性：高純度TaNをAl合金の上下でサンドイッチ構造に^{（集電導膜形成）}、TaN/Tiの反射防止膜構造のTiの拡散によるAl配線のEM, DM(ストレーション)耐性強化と同様の寿命向上効果を得。かつスパッタ等の成膜装置で低温（室温温度50℃以下）で成膜可能とし、熱反応により形成されるAlNの形成を抑制し、EM及びDM寿命に強い高信頼配線を提供するものである。

(構成及び作動)

- a. 課題を達成する為の具体的な構成（形状、大きさ、素材、製造法、組付法等）を記載して下さい。
b. その構成がどのように作動（作用）して、上記課題を達成するのかを記載して下さい。
c. その作動による波及効果があれば、それも記載して下さい

- 記載例
- ・ 1は、... で、... よりなる。1は2に、... によって固定される。
 - ・ ステップ1は、... で、〇〇センサ2からの信号に基づき、... の演算を行う。
 - ・ 〇〇1からの動力は、 $\Delta\Delta 2$ を経て $\square\square 3$ へ伝達される。 $\square\square 3$ は、... の作動を行う。

<反応性：高純度TaNの成膜条件と膜物性>

(1) 成膜条件（スパッタ時のパワー密度が反応性：高純度TaN膜を形成するための主要因）

DC Power: 5.5 W/cm^2 以下の条件で N_2 添加反応性スパッタを行うことを特徴とする。
(パワー密度)

その他条件：湿度 270°C （室温 230°C ～ 240°C ）圧力 5.5 mTorr Ar流量 90 sccm N_2 流量 90 sccm

(2) 膜物性

① 反応性：高純度TaNが形成されているかを判断するには図2のマクロフォトにより

ガラス基板によりTaNとAl合金層との間に反応層が形成されていることを特徴とする。

② この反応層は図3のXRDの結果から TiAl_3 層であることを特徴とする。

<適用例>

0.5 μm 以下以下のホール部にW等のAl合金物質より自己拡散係数が小さい物質を
(Via: コタ外)

適用例：2層配線以上のVLSI工程全般に適用可能である。

(詳細工程は明細作成時に記入予定)

発明者	(特許専任者)	(年月日)
	藤田 裕 嗣	99/2/15
代理人	(知財担当者)	(年月日)
	市川 淳	99/2/25

(注) 電子出願対応のため、図の大きさは最大でも下記枠（ほぼB5サイズ以下の大きさとして下さい。下記枠内で作成できない大きな図は複数の図に分割して下さい。）

発明の名称

半導体の製造方法（配線形成方法）

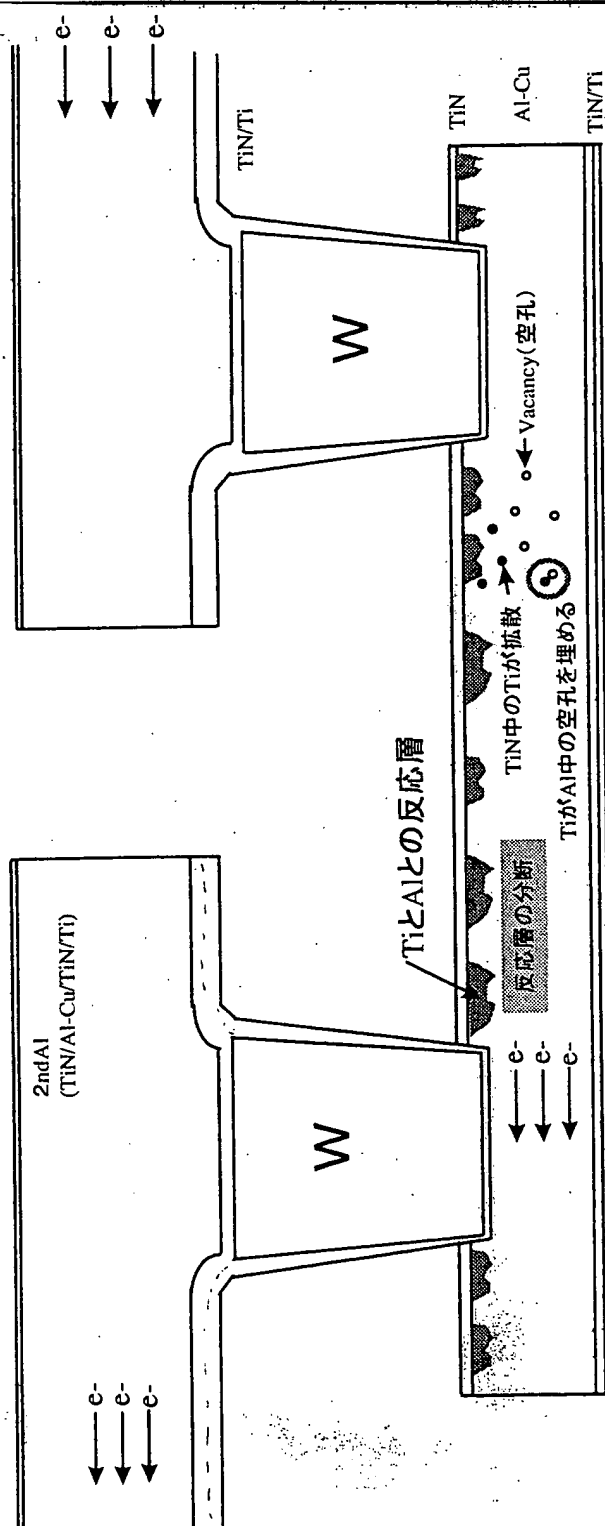
発明の特徴を最もよく表す代表図 ここには図1のみ図示して下さい。

図面の描き方

1. 定規・コンパスを用いてはつきりと描いて下さい。
2. 部分・部品にはフリーハンドの引き出し線を引き出し、1、2、3……と符号を付けるとともに主要部の名称を記入して下さい。
3. 断面にはハッチングを入れて下さい。
4. 説明上さらに図面が必要な場合は、別紙に描いて添付して下さい。
5. 一枚の中に複数の図を描くときは、縦方向に配置（横配置は不可）して下さい。
6. できるだけ大きく描いて下さい。

図 1

図1 配線構造断面図（例）



必要に応じて図2以下を図示してください。
(従来技術の説明図又は発明の補足説明図)

図2 反応性に富んだTi-Nの物性データ No.1 (AES分析プロファイル例)

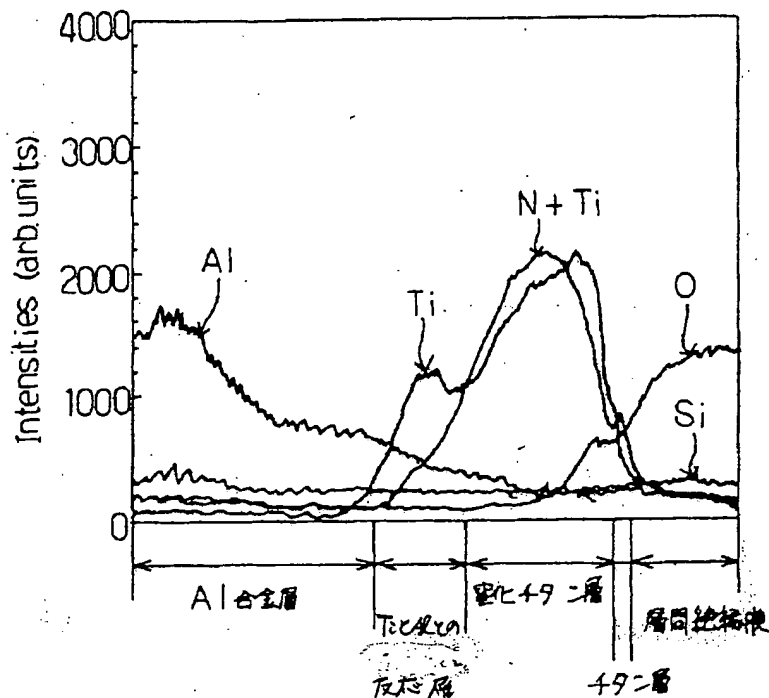
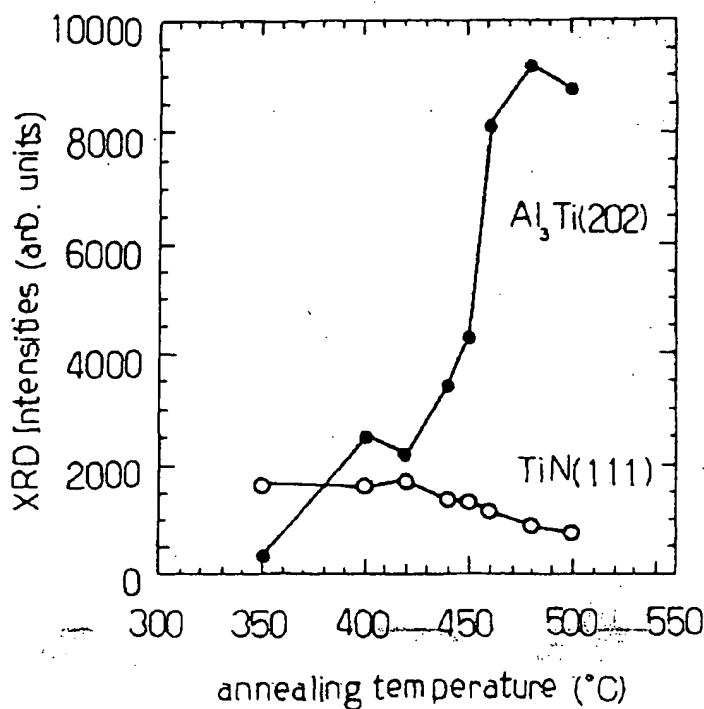


図3 反応性物質の同定(XRD例)

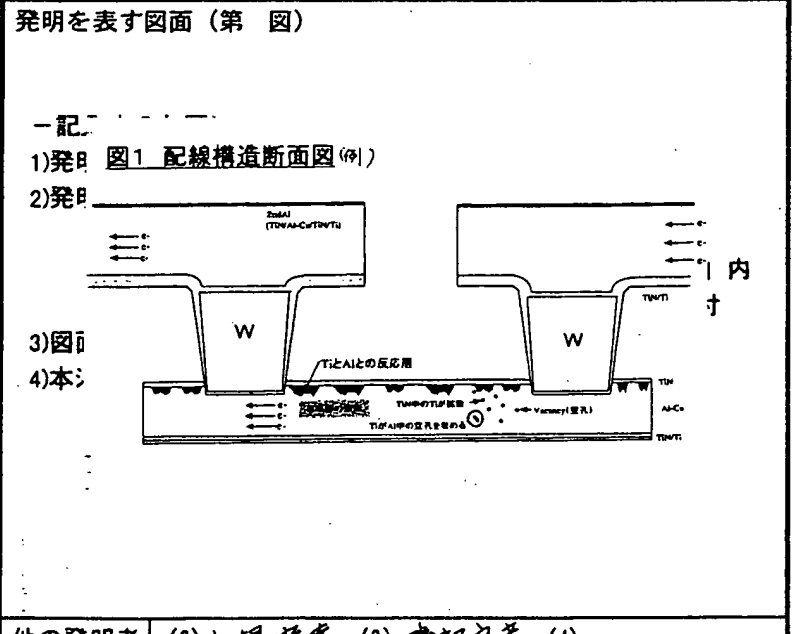


発明の名称	半導体の製造方法(配線形成方法)		筆頭発明者	赤松和夫	
発明の経緯	<input type="checkbox"/> 発明発掘 (7-7&No) <input type="checkbox"/> 他部署 or 他社と共同 () <input checked="" type="checkbox"/> 通常発明		部	<input checked="" type="checkbox"/> 開発 <input type="checkbox"/> 技1 <input type="checkbox"/> 技2 <input type="checkbox"/> 製造	

発明の分野	分類A	分類B	分類C	分類D (関連製品等)
	<input type="checkbox"/> モリシク回路 <input type="checkbox"/> モリシク実装 <input type="checkbox"/> モリシクP/D <input type="checkbox"/> モリシクレイアウト <input type="checkbox"/> HIC回路 <input type="checkbox"/> HIC実装 <input type="checkbox"/> ECU回路 <input type="checkbox"/> ECU実装 <input type="checkbox"/> センサ回路 <input type="checkbox"/> センサ実装 <input type="checkbox"/> センサP/D <input type="checkbox"/> 化合物P/D <input checked="" type="checkbox"/> その他	<input checked="" type="checkbox"/> MOS <input type="checkbox"/> Bip <input type="checkbox"/> Bi-MOS <input type="checkbox"/> 基板 <input type="checkbox"/> パッケージ <input type="checkbox"/> 実装共通 <input type="checkbox"/> 装置 <input type="checkbox"/> TD <input type="checkbox"/> パワー <input type="checkbox"/> P/D共通 <input type="checkbox"/> 薄膜抵抗 <input type="checkbox"/> 拡散抵抗	<input type="checkbox"/> 保護素子 <input type="checkbox"/> キャパシタ <input type="checkbox"/> 他デバイス <input type="checkbox"/> Pセンサ <input type="checkbox"/> Gセンサ <input type="checkbox"/> MRE <input type="checkbox"/> ホルセンサ <input type="checkbox"/> 朴センサ <input type="checkbox"/> 温度センサ <input type="checkbox"/> ユーレートセンサ <input type="checkbox"/> その他センサ <input type="checkbox"/> ソフトウェア <input type="checkbox"/> レザ	<input type="checkbox"/> マイコン <input type="checkbox"/> CPU, CPU17 <input type="checkbox"/> ロジック <input type="checkbox"/> I/O <input type="checkbox"/> 通信 <input type="checkbox"/> ADC <input type="checkbox"/> DAC <input type="checkbox"/> 保護 <input type="checkbox"/> 検査 <input type="checkbox"/> 電源 <input type="checkbox"/> パワーオンリセット <input type="checkbox"/> FV変換

発明の概要

Al合金配線と反応性金属膜との間に酸化膜を形成することにより、AlとWとの界面に酸化膜を形成することにより、高信頼性配線を提供する。



他の発明者	(2) 山根 宏幸 (3) 磯部 俊彦 (4)					
課長コメント	ND実施予定	<input checked="" type="checkbox"/> 実施する (いつ、何に?) 2000/8月 MK107002 <input type="checkbox"/> しない □ 実施特許の周辺特許である。 □ 実施特許とは離れた技術の特許 □ NDでは実施しない技術の特許	他社実施予測	<input checked="" type="checkbox"/> 可能性有 (どこか、何に?) 不明 <input type="checkbox"/> 可能性無 <input type="checkbox"/> 判断不能	関連出願	<input checked="" type="checkbox"/> 既に出願 今 <input type="checkbox"/> 予定有 後 <input type="checkbox"/> 予定無
	出願目的	<input checked="" type="checkbox"/> 権利化する □ 権利化必要なし □ 他社とライセンス可能 □ 自社製品保護 □ 他社製品抑制 □ 他社の権利化抑制 □ ND他社共実施せず	コメント	Wプラグ使用時に問題となるカーケ ンガル効果と防止可能構造を提案、以前 出願した配線構造とからして権利化したい。		

事務局記入欄
IC部No
特管No
処理 <input type="checkbox"/> 出願 <input type="checkbox"/> 併合 併合された 特管No記入 <input type="checkbox"/> 公開 <input type="checkbox"/> 取下
特管No
出願日
併合 <input type="checkbox"/> 有 <input type="checkbox"/> 無 特管No

申請ルート

発明者 ☒ CHK

↓ #1記入

係長 ☒ CHK

↓

課長 ☒ CHK

↓ #2記入

室・次長 ☒ CHK

↓

部長 ☒ CHK

1) 部長印押印

99.2.15

〒7500000 事務局

(TEL557-6342)

事務局

事務担当 (受付日印)

2) 記入もれCHK ☒

3) 判定票付 ☒

4) 管理No. 受付日 ☒

5) データベース入力 ☒

技術担当

6) 出願・併合検討 ☐

7) 知財部へ申請 ☒ 送付日 5/1/96

申請翌月

8) 特管No. 受付日 ☐

9) 北-発明者送付 ☐

出願/処理完了

10) 出願日・特管No. ☐

11) 明細書とともに
光磁気ファイル ☐
発明者送付 ☐

12) 処置完了日印 ☐

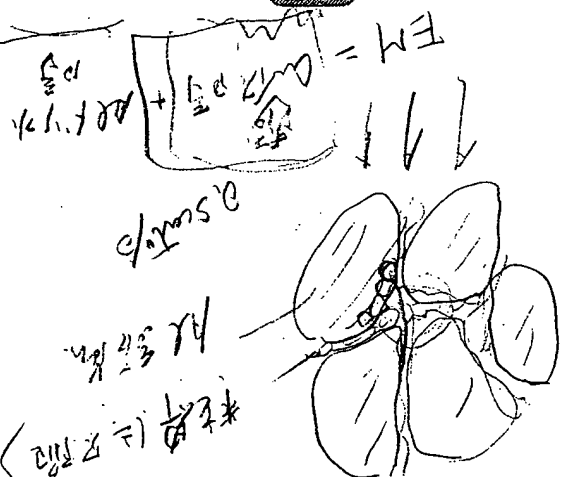
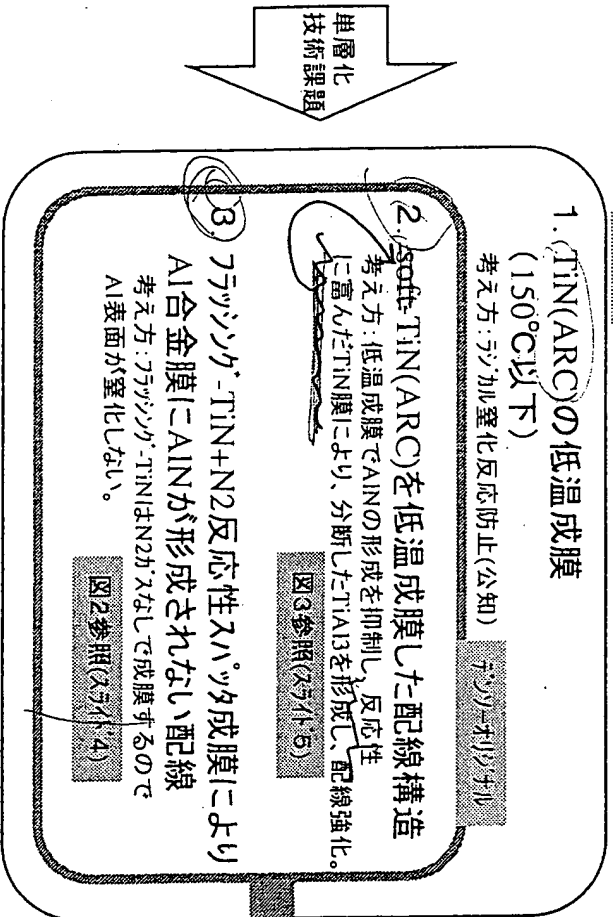
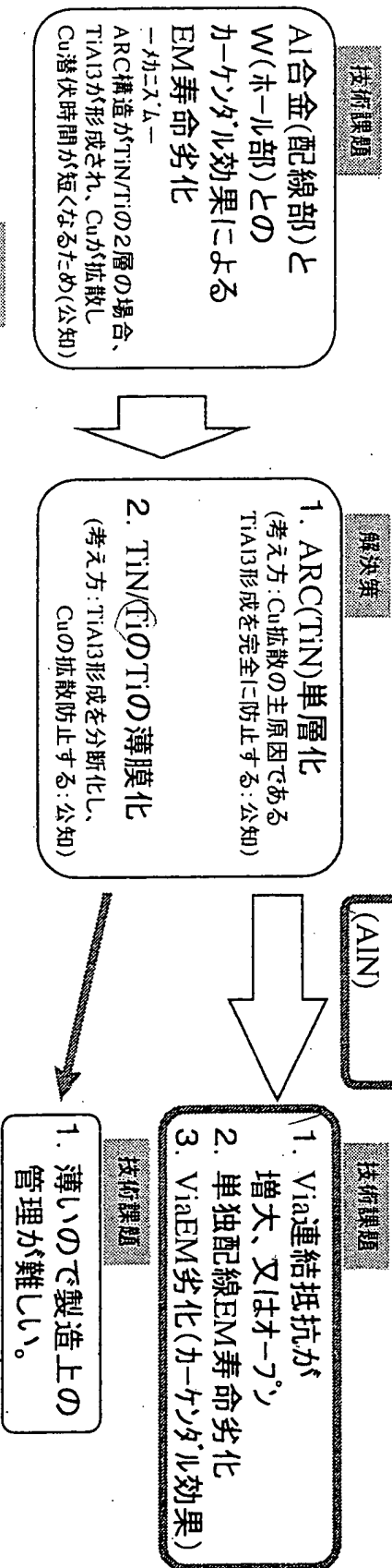
*1 発明者記入

*2 課長記入

查詢經路：知的財產室特許課・申請部（金明香）、知的財產室管理課

技術課題と対策のための公知技術(他社)

赤
89.5.26
松



TiN(ARC)単層による配線の課題と従来技術

<技術課題>

TiN反射防止膜(ARC)をAl合金配線上に単層成膜すると、下記のモデル図のように、N₂ガス添加反応性スパッタのプラズマ中に発生する窒素ラジカルにより、Al表面が窒化され、絶縁性のAlNにより下記のような技術課題が言われている。

1. 連結Via抵抗が高い、又はバラツキが大きい。
2. EM寿命が低下する

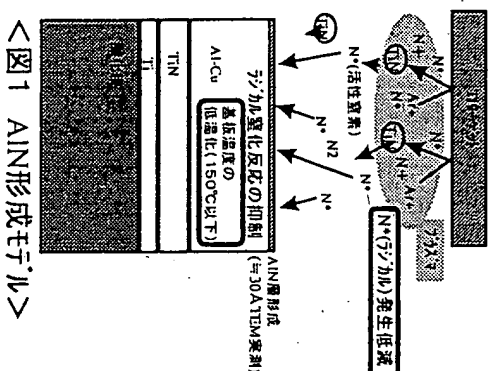
<課題解決のための従来技術と課題>

1. TiN膜を150℃以下の低温で成膜し、Alの窒化反応を抑制する。(NEC特許 2555949)

課題: AlN抑制効果はあるが、完全にAlNを抑制することが出来ない。この請求範囲だけでは、本来Tiを挿入していた効果であるTiNとAl合金との界面反応層(TiAl₃等)が応力緩和層となり、又、TiがAl中に拡散し、空孔を補完し、EM, SM寿命を向上させる効果がある。

2. AlとTiNとの間にTi膜を挿入し、ARCをTiN/Tiの2層構造とする。

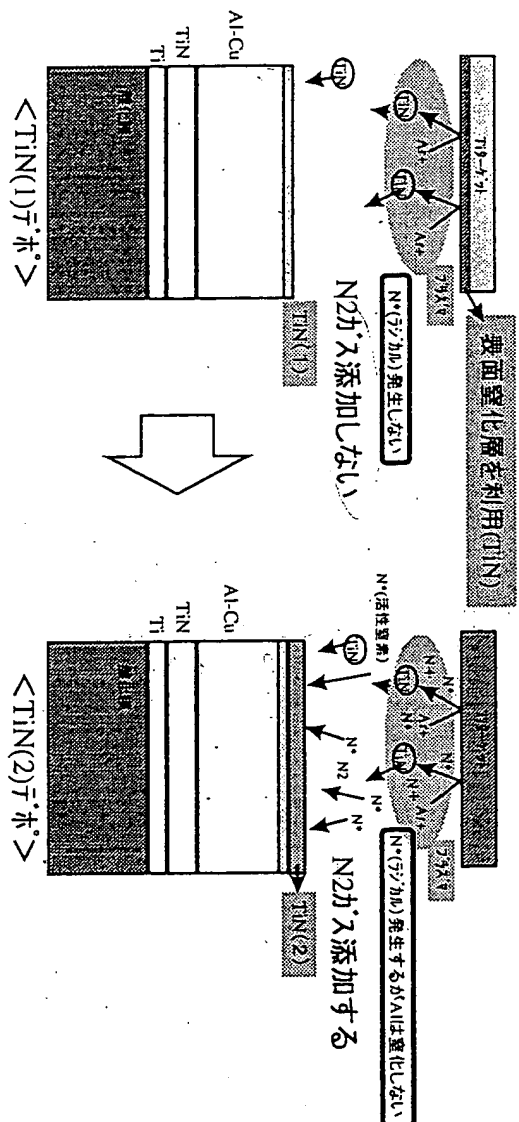
課題: Ti膜厚を5nm程度の薄い膜厚にしないとAlとWとを組み合わせた配線ではカーンダル効果によりEM寿命が短いという制約がある。薄いので製造上の管理が難しい。



TiN(ARC)単層のAlN防止効果の考え方

— 推定メカニズム —

ARC(TiN単層)の成膜初期において、Tiターゲットの表面窒化層(TiN)をN₂ガスを含まないAr+イオン等の不活性ガスでターゲット表面をスパッタしたTiN膜(1)を成膜後、N₂ガスとAr等の不活性ガスによる反応性スパッタで成膜するTiN(2)を成膜する製造方法。
この方法により、TiN(1)成膜時にプラズマにNラジカルが発生しないので、完全にAlの窒化を防止する事が出来、AlNが全く形成されない。



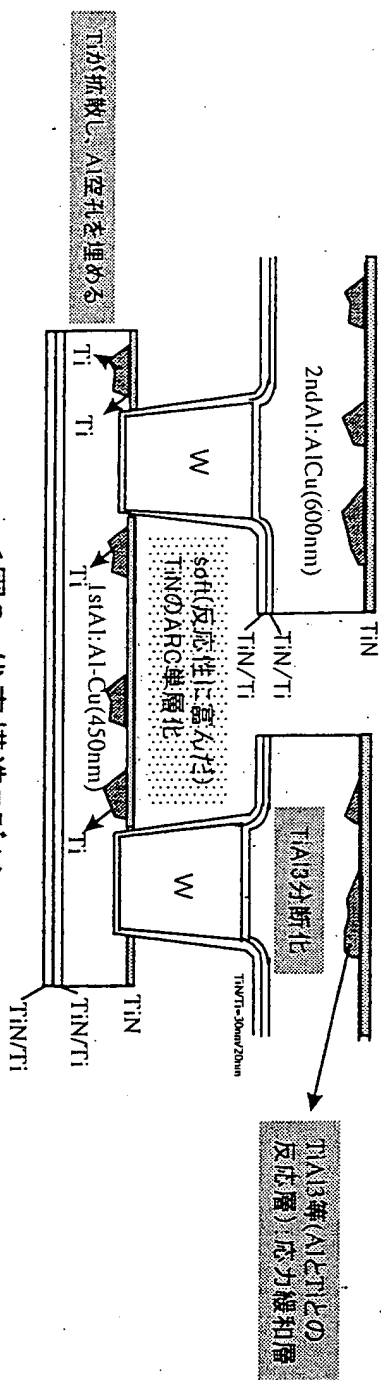
<図2 AlN防止モデル>

soft-TiN(ARC)構造の効果

— 推定メカニズム —

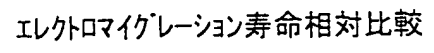
TiN膜はAlと反応性に富んだTiN膜(添付AESデータ参照)を特徴とした製造方法により、TiAl₃等のAlとTiとの合金層が形成されることで、TiNとAl合金との界面エネルギーを下げることで、及び反応性に富んだTiNのため、TiがAl中に拡散し、空孔を埋めることにより、より信頼性(エレクトロマイグレーション、ストレスライクレーション寿命)を高める効果がある。前記のTiN膜質で成膜・製造することにより、AlとTiとの反応層は、分断し、Tiを薄膜化したとき同様の効果が得られる。

分断させる理由としては、連続層になるとAl合金中のCuが拡散しやすいため、Al(配線)とW(ホール)とを組み合わせた配線構造では特にEM寿命に効果がある。(下図モデル参照)



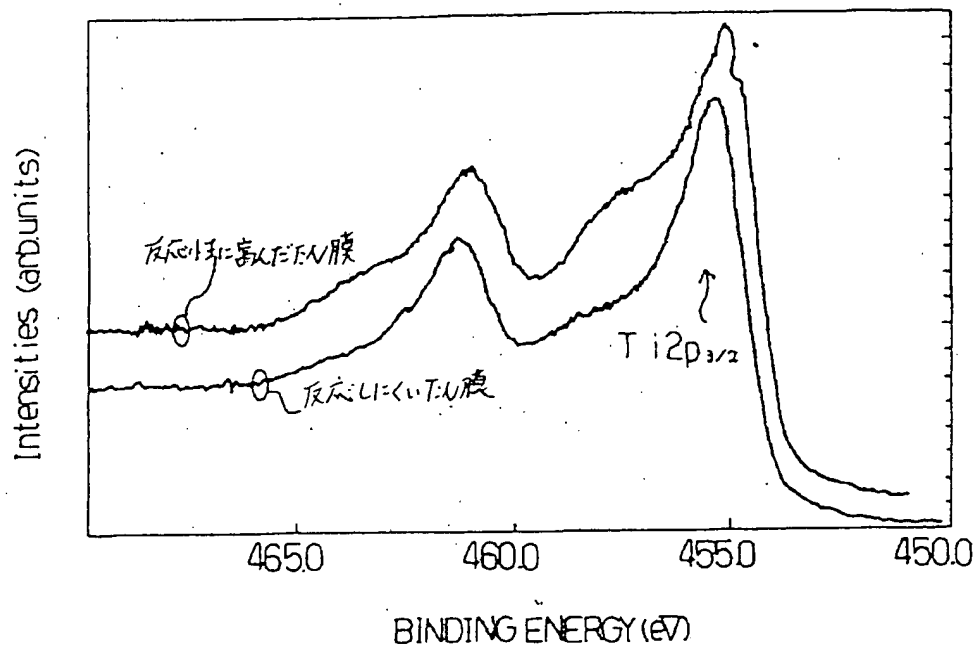
< 図3 代表構造モデル >

図5 AIN膜厚の規定(断面TEMで測定)



＜図6 反応性に富んだTiNサントイッチ構造モデル＞

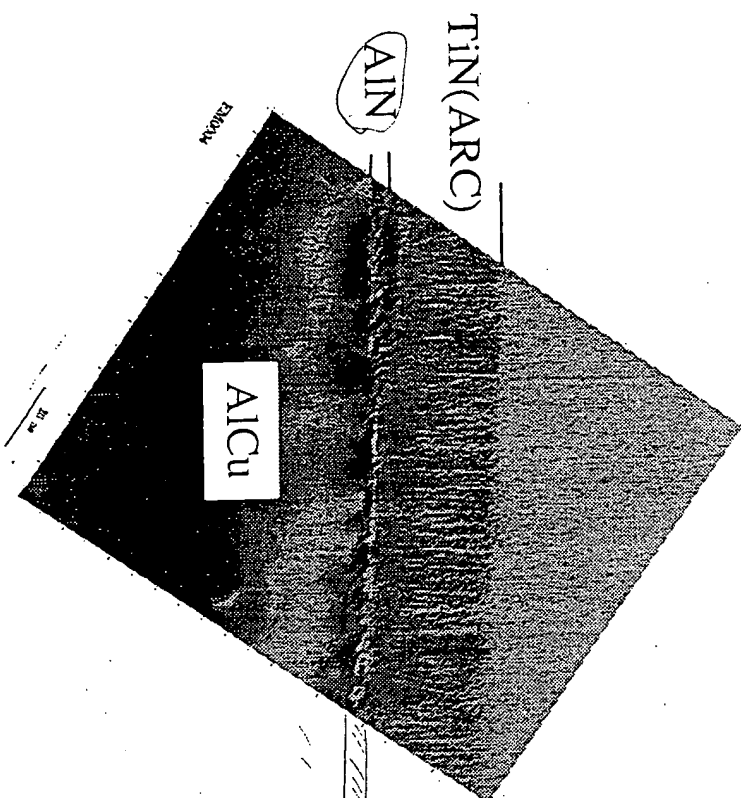
図4' <主クレーム1の反応性が高いTi:Nの証明例> XPS例



反応性が高いTi:N膜と反応性低いTi:N膜との差を明確にするため、Ti:N膜の試作を用いてX線分光法(XPS)により測定し、窒素との化学結合によるTiのTi 2p_{3/2}準位にある電子の束縛エネルギーのシフト量(化学シフト)を調べたものである。反応性低いTi:N膜のTi 2p_{3/2}の化学シフトが1.51eVに対して、反応性が高いTi:Nの化学シフトは1.32eVと小さい。これは窒素とTi(4d²)との結合状態が弱く、Al合金中へTi:NのTiが拡散しやすい状態であることを意味している。

断面TEMによるAIN低減効果例

< AIN組成比N:Al=1:1の例 >



< AIN組成比N:Al=1:2の例 >

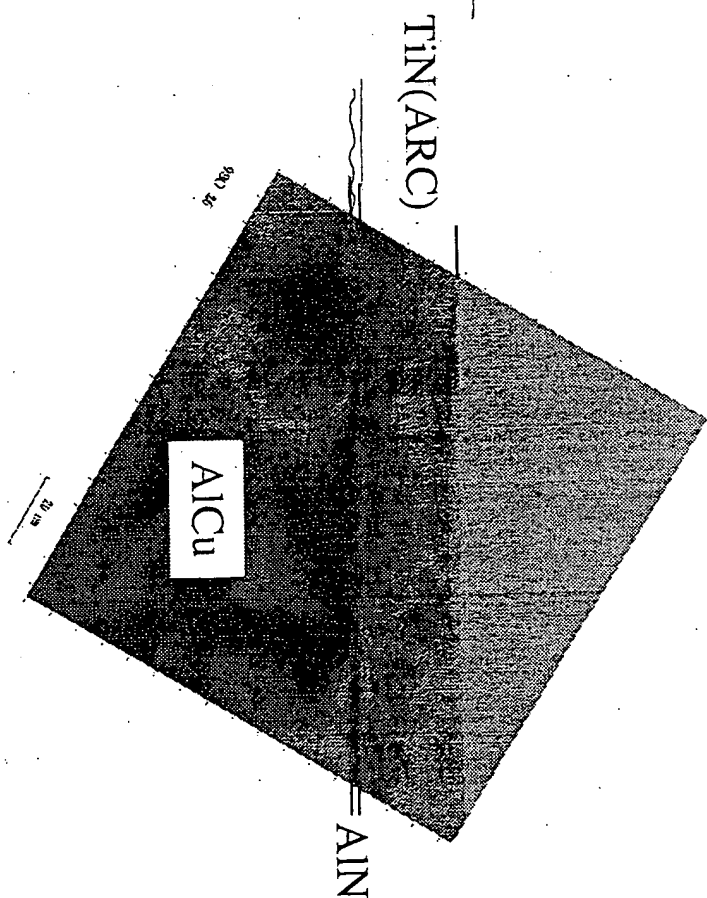
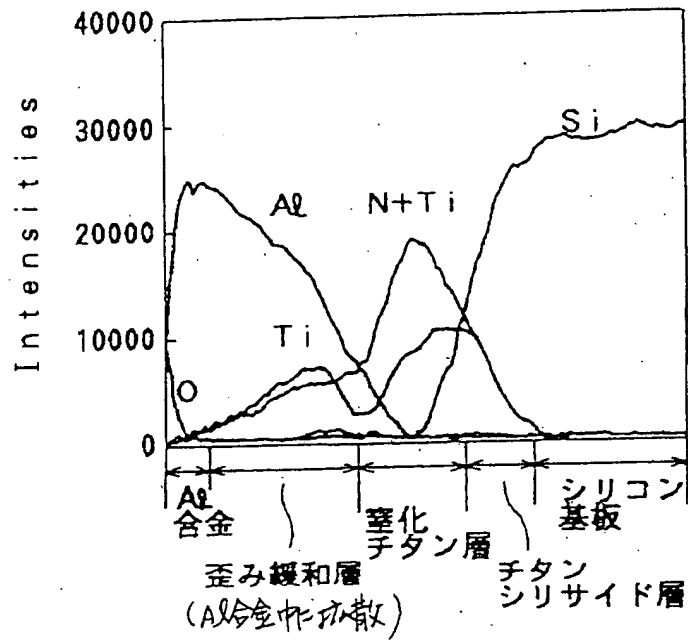


図7 反応性に富んだTiNがAl合金中に拡散している様子

② マイクロオージェデプスプロファイルデータ

(a) 反応性に富んだTiN



(b) 従来のバリア性の高いTiN

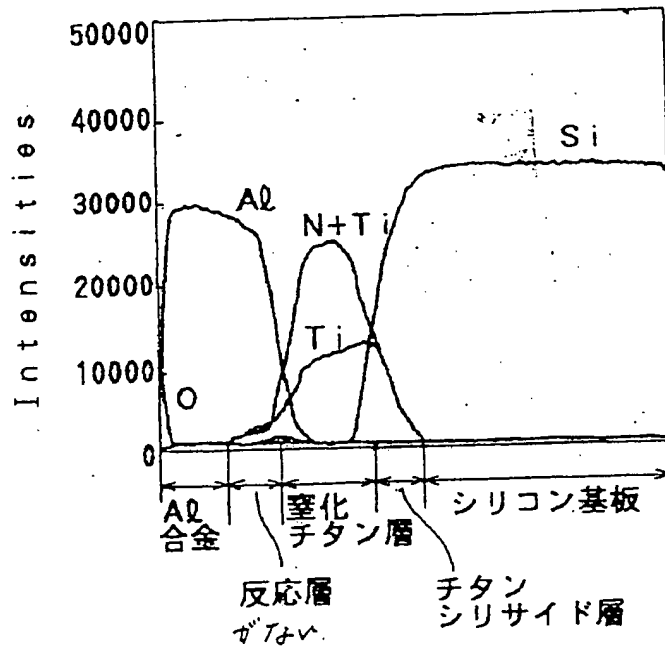
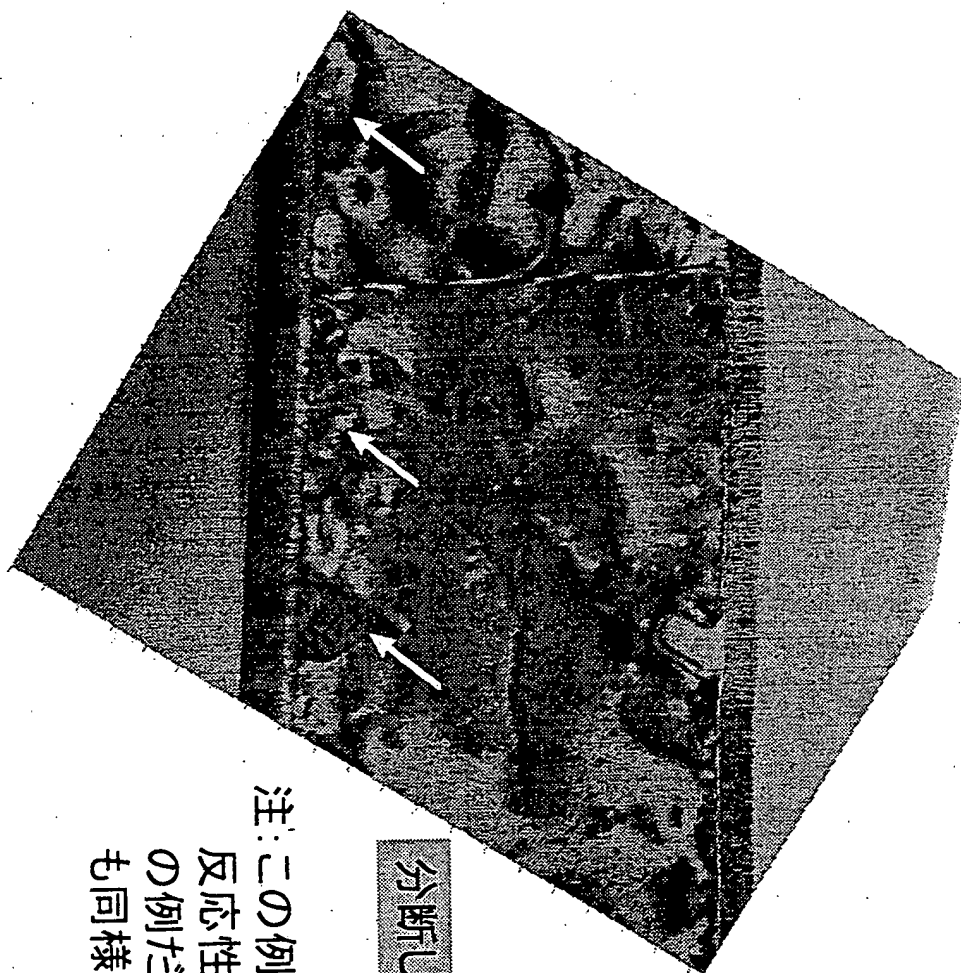


図8 分断反応層(TiAl3等)TEM写真真例



分断している

注: この例はAl合金下の
反応性に富んだTiN
の例だが、ARCの場合
も同様である。

図9 ターゲットバークと反応性との関係

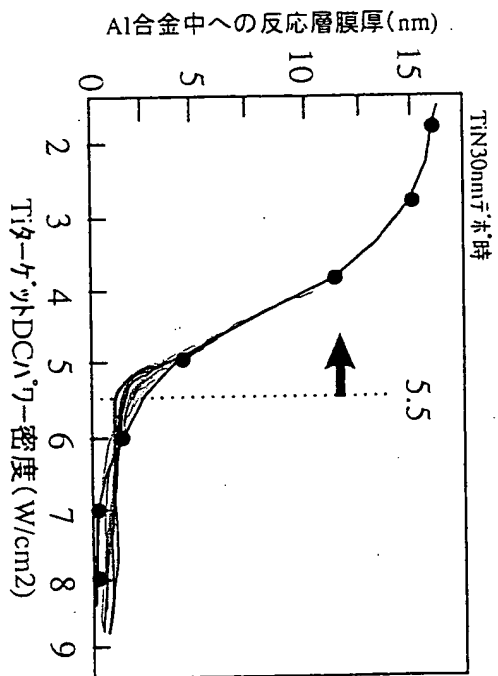


図10 反応性に富んだTiN膜厚の効果

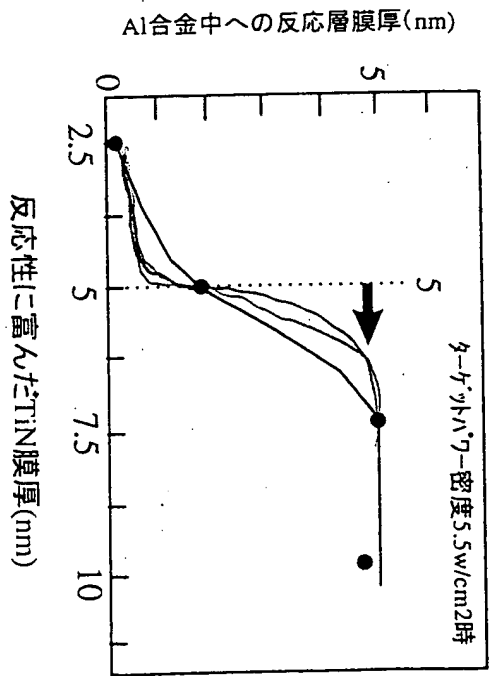


図11 TiN成膜温度とAlN組成比との関係

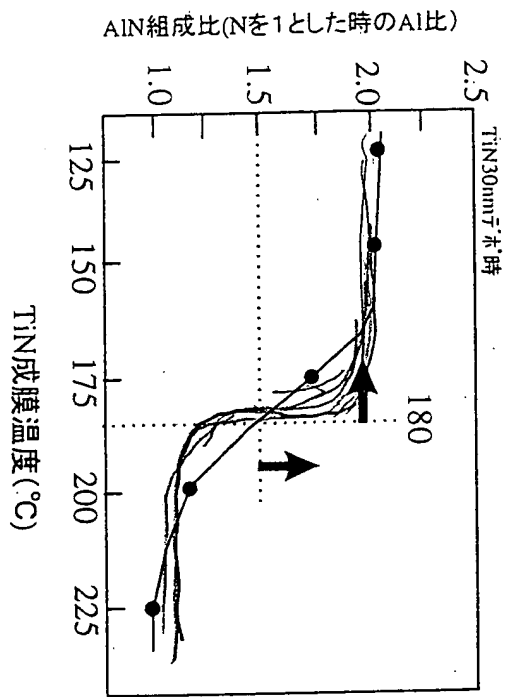
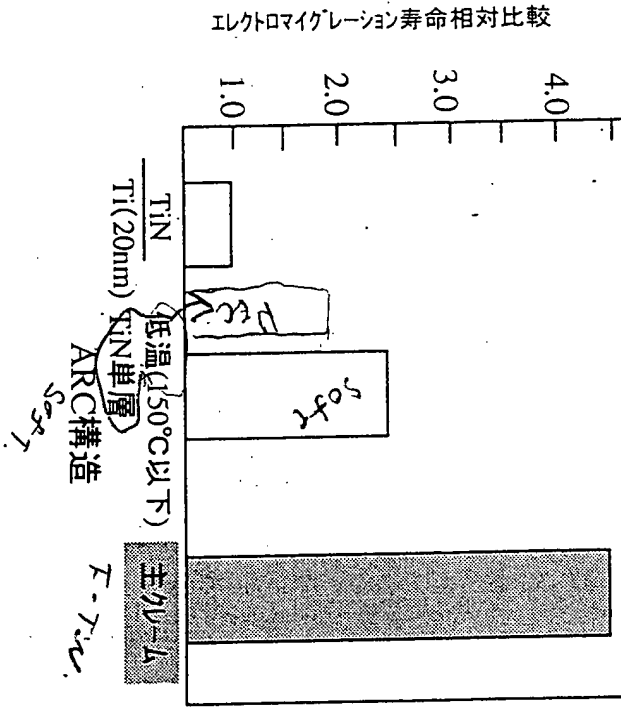


図12 主クルーA構造と従来(他社)構造との寿命比較



請求範囲の構造層別



1. 構造特許

<主クレ-Δ1>

半導体デバイスにの電極として使用するCuを添加したAl合金(Siを含んでもよい)配線上に成膜する反射防止膜(ARC)において、従来の技術の150°C以下の低温成膜のみでは、AlN抑制効果はあるが、完全にAlNを抑制することが出来ない。そのため、本来Tiを挿入していた効果であるTiNとAl合金との界面反応層(TiAl₃等)が応力緩和層となり、又、TiがAl中に拡散し、空孔を補完し、EM,SM寿命を向上させる効果がないという課題がある。本発明はこの問題を解決するため、スパッタ装置でARCを成膜する際、Al合金膜とTiAl₃等のAlとTiとの反応層を形成しやすい反応性に富んだTiN(単一材料)膜をAl合金膜上に成膜しても、AlNが形成されにくい配線構造を特徴とする。

<従属クレ-Δ1>:ARC(TiN)とAl合金膜との界面に形成されるAlNの組成比はNを1とした時、Alとの比が1.5以上である。

<従属クレ-Δ2>:ARC(TiN)とAl合金膜との界面に形成されるAlNの膜厚は8nm以下である。3.5nm以下

<従属クレ-Δ3>:反応性に富んだTiN膜はARCのみでなくAl合金下地膜の両方に使用したサブミツチ構造の配線では更に効果がある。

<従属クレ-Δ4>:Al合金膜との界面に形成されるTiAl₃等の反応層はAESの結果のようにAl合金膜中にTiが侵入している配線。

<従属クレ-Δ5>:Al合金膜との界面に形成されるTiAl₃等の反応層は断面TEMのように分断した配線。

2. 製造特許

<主クレ-Δ1>

ARC(TiN単層)の成膜初期において、Tiターゲットの表面窒化層(TiN)をN₂ガスを含まないAr+イオン等の不活性ガスでターゲット表面をスパッタしたTiN膜(1)を成膜後、N₂ガスとAr等の不活性ガスによる反応性スパッタで成膜するTiN(2)を成膜する製造方法。

<従属クレ-Δ1>:反応性に富んだTiNの成膜するにはN₂の反応性スパッタのDC Powerをターゲットパワー密度を5.5W/cm²以下で5nm以上成膜する製造方法

<主クレ-Δ2>

Al合金配線上にARC(TiN)成膜する際のウエハ加熱温度を200°C以下の低温で行う製造方法。

<従属クレ-Δ1>:反応性に富んだTiNの成膜するにはN₂の反応性スパッタのDC Powerをターゲットパワー密度を5.5W/cm²以下で5nm以上成膜する製造方法

<主クレ-Δ3>

反応性に富んだTiNの成膜するにはN₂の反応性スパッタのDC Powerをターゲットパワー密度を5.5W/cm²以下で5nm以上成膜する製造方法

<従属クレ-Δ1>:Al合金配線上にARC(TiN)成膜する際のウエハ加熱温度を200°C以下の低温で行う製造方法。

<従属クレ-Δ2>:ARC(TiN単層)の成膜初期において、Tiターゲットの表面窒化層(TiN)をN₂ガスを含まないAr+イオン等の不活性ガスでターゲット表面をスパッタしたTiN膜(1)を成膜後、N₂ガスとAr等の不活性ガスによる反応性スパッタで成膜するTiN(2)を成膜する製造方法。



<各請求項に対する実施例データ・構造>

(1) 構造特許

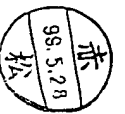
1. 主クレーム: 図3の代表構造モデルを参照下さい。AIN形成メカニズムは図1を参照下さい。
 - ・従属クレーム1: 図4参照下さい。✓ 図4/×P25
 - ・従属クレーム2: 図5参照下さい。✓
 - ・従属クレーム3: 図6参照下さい。✓
 - ・従属クレーム4: 図7参照下さい。✓
 - ・従属クレーム5: 図8参照下さい。✓

(2) 製造特許

1. 主クレーム1: 図2の製造モデルを参照下さい。✓ 本製造における配線寿命の結果を図121に示す。✓
 - ・従属クレーム1: 図9, 10を参照下さい。✓
2. 主クレーム2: 図11の製造モデルを参照下さい。✓
 - ・従属クレーム1: 図9, 10と同じ。
3. 主クレーム3: 図9, 10と同じ。
 - ・従属クレーム1: 図11の製造モデルと同じ。✓
 - ・従属クレーム2: 図2と同じ。

<製造特許での実施例>

1. 主グループ1



TiN(1)デポ条件

温度: 160°C

DCPower: 1.5 から 3kw

Arガス流量: 74sccm

N2ガス: 添加しない

TiN(2)

温度: 160°C

DCPower: 3kw

Arガス流量: 23sccm

N2ガス流量: 60sccm

Nガス比: 70%

→ TiN 5.5%

TiN 1.5% 5.5% 5.5% 5.5%

スパッタ: Endura(AM社)

【0024】

別添の図を以てして説明する。



請求項16に示す発明においては、アルミニウム合金配線は、部分的にマイグレーション速度がアルミニウムよりも遅い金属(52)で構成されていることを特徴としている。

アルミニウムボイドは、マイグレーション速度差によってアルミニウム合金に介在する空孔が蓄積されるために発生する。このため、アルミニウム合金に介在する空孔量が少なくなればアルミニウムボイドも小さくできる。従って、アルミニウム合金配線を部分的にアルミニウムよりもマイグレーション速度が遅い金属で構成することにより、アルミニウムボイドの発生を抑制することができ、配線寿命を向上させることができる。

【0025】

なお、上記した括弧内の符号は、後述する実施形態記載の具体的手段との対応関係を示すものである。

【0026】

【発明の実施の形態】

以下、本発明を図に示す実施形態について説明する。

図1に、本発明の一実施形態を適用した半導体装置として、サリサイド構造を有するCMOSトランジスタを示す。

CMOSトランジスタは、p型のシリコン基板1内のn⁻型ウェル領域2に形成されたPMOSTランジスタと、p⁻型ウェル領域3に形成されたNMOSTランジスタとから構成されている。PMOSTランジスタとNMOSTランジスタはシリコン基板1の上部に形成されたSTI膜4によって素子分離されている。さらに、STI膜4の側面のうち、シリコン基板1の表面から露出した部分には絶縁膜4aが形成されている。なお、PMOSTランジスタとNMOSTランジスタの構造については、導電型が異なるのみであり、その他の構成については同様であるため、PMOSTランジスタの構造についてのみ説明する。

【0027】

n⁻型ウェル領域2上には、ゲート酸化膜5を介してゲート電極6が形成されている。このゲート電極6の側面には、側壁酸化膜7が備えられている。また、

ゲート電極6の両側には p^+ 型拡散層からなるソース8・ドレイン9が形成されており、これらソース8・ドレイン9間をチャネル領域としている。そして、ソース8・ドレイン9は、ゲート電極6から離れる側の端部がSTI膜4側となっている。なお、ソース8・ドレイン9のチャネル領域側に形成された p 型層10は電界緩和層である。

【0028】

さらに、ゲート電極6、ソース8・ドレイン9の上部には、コンタクト用のシリサイド膜6a、8a、9aが形成されている。これにより、シリサイド構造を有するPMOSTランジスタが構成されている。

これらPMOSTランジスタ及びNMOSTランジスタを含む基板には、BPSG、TEOS膜等からなる層間絶縁膜11が形成されており、層間絶縁膜11に形成されたコンタクトホールに埋め込まれたWプラグ12を介して、ソース8・ドレイン9等が1st Al合金配線13と電氣的に接続されている。

【0029】

この1st Al合金配線13は多層構造で構成されている。具体的なAl合金配線13の構造を図2に示す。この図に示されるように、1st Al合金配線13は、20nm程度の膜厚のTi膜13a、30nm程度の膜厚のTiN膜13b、450～900nm程度の膜厚のAl-Cu膜13c、~~20nm程度の膜厚のTi膜13d~~及び^{~40}30nm程度の膜厚のTiN膜13eが0.4～0.6 μ m程度の幅で積層された構成となっている。Al-Cu膜13cは、Cuが0.5wt%含有されたAlで構成されている。

【0030】

さらに、1st Al合金配線13上にはTEOS酸化膜等からなる層間絶縁膜14を介して2nd Al合金配線15が形成されており、さらに2nd Al合金配線15上にはTEOS酸化膜等からなる層間絶縁膜16を介して3rd Al合金配線17が形成されている。これら2nd Al合金配線15及び3rd Al合金配線17は、1st Al合金配線13と同様の構成となっている。

【0031】

そして、3rd Al合金配線17上には、P-TEOS膜18とP-SiN膜

19からなる保護膜が形成されている。このような構造を有してCMOSトランジスタが構成されている。

次に、CMOSトランジスタの製造工程を図3～図5に示す。以下、図3～図5に基づいてCMOSトランジスタの製造方法について説明する。

【0032】

〔図3 (a) に示す工程〕

まず、p型のシリコン基板1を用意する。次に、シリコン基板1上に熱酸化膜30を形成し、さらに熱酸化膜(SiO_2)30上にシリコン窒化膜(SiN)31を形成する。そして、フォトリソグラフィ工程を経て、素子分離用のSTI膜4(図1参照)の形成予定領域上における熱酸化膜30及びシリコン窒化膜31を開口させたのち、開口部からシリコン基板1を所定深さエッチング除去して、素子分離用としてのトレンチ32をパターンニングする。

【0033】

このとき、トレンチ32は、素子部における素子分離を十分に行えるように、 $0.3 \sim 0.6 \mu\text{m}$ 程度の深さで形成される。

〔図3 (b) に示す工程〕

熱酸化を施し、トレンチ32の内壁に熱酸化膜33を形成してトレンチ32内が丸めたのち、シリコン基板1の全面にTEOS膜を堆積し、トレンチ32をTEOS膜で埋め込む。このとき、TEOS膜34として、HTO-TEOS、LP-TEOS、及び O_3 -TEOS等を用いている。

【0034】

そして、CMPにて、シリコン窒化膜31をストッパーとしてTEOS膜を全面研磨して平坦化する。これにより、トレンチ32内にTEOS膜が残され、STI膜4が形成される。

〔図3 (c) に示す工程〕

シリコン窒化膜31を除去し、フォトリソ工程を経てPMOSトランジスタ形成予定領域に n^- 型ウェル領域2を形成したのち、再度フォトリソグラフィ工程を経てNMOSトランジスタ形成予定領域に p^- 型ウェル領域3を形成する。

【 0 0 3 5 】

ウェットエッチングによってシリコン酸化膜 3 0 を除去する。そして、ドライブインと同時に犠牲酸化を行う等して、 n^- 型ウェル領域 2 や p^- 型ウェル領域 3 の表面状態を良好にしたのち、熱酸化によってゲート酸化膜 5 を形成する。

そして、ゲート酸化膜 5 上に厚さ 0. 3 5 μm 程度のポリシリコン膜を成膜したのち、フォトリソグラフィ工程を経て、ゲート電極 6 をパターンニングする。

【 0 0 3 6 】

次に、CVD法によりウェハ表面全面にTEOS膜等の絶縁膜を堆積したのち、RIE法による異方性エッチングにて絶縁膜をエッチバックし、ゲート電極 6 の側面に側壁膜 7 を形成する。

〔図 4 (a) に示す工程〕

熱酸化等によってイオン注入工程用のスルー膜を形成したのち、NMOSトランジスタ形成予定領域及びPMOSトランジスタ形成予定領域を順にフォトリソで覆い、PMOSトランジスタ形成予定領域には p 型不純物（例えばボロン）を斜めイオン注入し、NMOSトランジスタ形成予定領域には n 型不純物（例えばリン）を斜めイオン注入する。これにより、側壁膜 7 で覆われたゲート電極 6 をマスクとしたイオン注入が行われ、ゲート電極 6 の両側に電界緩和層 1 0 が、ゲート電極 6 の内側よりに形成される。

【 0 0 3 7 】

さらに、NMOSトランジスタ形成予定領域及びPMOSトランジスタ形成予定領域を順にフォトリソで覆い、PMOSトランジスタ形成予定領域には p 型不純物（例えばボロン）を基板法線方向から高濃度にイオン注入し、NMOSトランジスタ形成予定領域には n 型不純物（例えばAs）を基板法線方向から高濃度にイオン注入する。これにより、側壁膜 7 で覆われたゲート電極 6 をマスクとしたイオン注入が行われ、ゲート電極 6 の両側にソース 8、ドレイン 9 が形成される。

【 0 0 3 8 】

これによりLDD (Lightly Doped Drain) 構造が完成する。

そして、スルー膜を除去したのち、チタンシリサイド化工程を行う。まず、チタン (Ti) 膜と窒化チタン (TiN) 膜を順にウェハ全面に成膜し、さらに Ar 雰囲気化で短時間熱処理 (RTA) を行い、シリサイド化反応を起こさせて、ゲート電極 6 及びソース 8・ドレイン 9 の露出表面にそれぞれチタンシリサイド膜 (TiSi 膜) 6a、8a、9a を形成する。

【0039】

なお、このシリサイド化の熱処理温度はシリサイドの側壁膜 7 への這い上がり抑制、側壁膜 7 の Si との反応防止、C49 から C54 フェーズへの TiSi₂ の変態抑制等の観点から 700℃ 以下の比較的低温に設定されている。

そして、アンモニア・過酸化水素水の混合液で選択エッチングを行い、チタン膜及び窒化チタン膜のうちシリサイド化反応を起こさなかった部分を除去する。これにより、チタンシリサイド膜 6a、8a、9a のみが残る。これにより、シリサイド構造が完成する。

【0040】

その後、850℃ 程度で 2 度目の短時間熱処理を行い、チタンシリサイド膜 6a、8a、9a を低抵抗化する。

〔図 4 (b) に示す工程〕

ウェハ表面全面に BPSG、TEOS 膜等からなる絶縁膜 11 を全面に堆積したのち、CMP により絶縁膜 11 を平坦化する。

【0041】

〔図 4 (c) に示す工程〕

フォトリソグラフィ工程を経て、絶縁膜 11 にコンタクトホールを形成する。

そして、このコンタクトホール内にバリアメタルとして、Ti 膜 12a と TiN 膜 12b とを順に積層し、さらにコンタクトホールをタングステン (W) 12c をバリアメタル 12a、12b 上に積層する。これにより、コンタクトホールはバリアメタル 12a、12b 及びタングステン 12c によって埋め込まれる。

【0042】

その後、バリアメタル 12a、12b 及びタングステン 12c をエッチバックし、コンタクトホール内にのみバリアメタル 12a、12b 及びタングステン 1

2 cを残す。これにより、ソース8、ドレイン9等との電氣的接続が成されたWプラグ12が形成される。

〔図5 (a) に示す工程〕

1 s t A l 合金配線12の形成のために、ウェハ表面全面にメタル膜を成膜する。

【0043】

メタル膜は、30 nm程度の膜厚のT i 膜12 aと、20 nm程度の膜厚のT i N膜12 bと、450~900 nm程度の膜厚のA l - C u膜12 cと、~~20 nm程度の膜厚のT i 膜12 dと~~、20 nm程度の膜厚のT i N膜12 eとを順に積層形成することによって行う。

このように、A l - C u膜12 cやT i N膜12 bの下部にT i 膜12 aを配置して構成となっている。

【0044】

〔図5 (b) に示す工程〕

次に、フォトリソグラフィ工程を施し、1 s t A l 合金配線12をパターニングする。

このフォトリソグラフィ工程は、以下のようにして行う。

まず、メタル膜上にフォトレジストを堆積し、このフォトレジストのうち1 s t A l 合金配線12として残す部分以外を開口させる。この後、フォトレジストをマスクとしたエッチング工程を行い、フォトレジストの開口部分におけるメタル配線を除去する。これにより、フォトレジスト下のメタル膜が残り、1 s t A l 合金配線12が形成される。

~~【0045】~~

~~次に、モノエチルアミン等のアルカリ水溶液にてフォトレジスト除去工程を施し、フォトレジストを除去して1 s t A l 合金配線12を露出させる。そして、水等によるアルカリ洗浄工程を施し、残留しているアルカリ水溶液を除去する。このような工程を経て、1 s t A l 合金配線12がパターニングされる。~~

~~ここで、T i 膜12 aを配置してメタル膜を構成した場合と、配置しないでメタル膜を構成した場合について、1 s t A l 合金配線12の(111)配向性X~~

線ピーク強度、及びディンプル半径の最大値を表したものを図6に示す。但し、図中の棒線グラフは(111)配向性X線ピーク強度を示しており、折れ線グラフ(点線部)はディンプル半径の最大値を示している。なお、(111)配向性X線ピーク強度とは、(111)配向性をX線にて測定したのもであり、ピーク強度が高いほど(111)配向性が高いことを示している。

【0046】

この図から判るように、Ti膜12aを配置した場合の方が配置しない場合と比べて(111)配向性X線ピーク強度が非常に高くなっており、またディンプル半径の最大値が非常に小さくなっている。

つまり、Ti膜12aを配置して、TiN膜12bが絶縁膜11と接しないようになっているため、TiN膜12b中の窒素(N)による影響が現れず、TiN膜12bの(111)配向性が高くなり、TiN膜12b上に形成されるAl-Cu膜12cの(111)配向性も高くなって、結晶粒界における欠陥が低減されると共に、結晶粒界におけるエネルギーが低下され、図6に示す結果となったと考えられる。

【0047】

このため、結晶粒界同士が交わる核にCuAl_x相が形成されるのを抑制でき、核近傍におけるCu濃度が低くならないように(核から離れた領域と変わらない程度に)でき、レジスト除去工程後のアルカリ洗浄工程の際に残留したレジスト剥離液が水に溶けて強アルカリとなっても、核とその近傍における電位差が高くないようにできる。これにより、ディンプルの発生を抑制することができる。

【0048】

〔図5(c)に示す工程〕

図4(c)及び図5(a)、(b)に示す1st Al合金配線13と同様の工程を経て、層間絶縁膜14を介して2nd Al合金配線15を形成し、さらに層間絶縁膜16を介して3rd Al合金配線17を形成する。

このとき、2nd Al合金配線15及び3rd Al合金配線17も1st Al合金配線13と同様の構造で構成するため、これら2nd Al合金配線15及び

3rd Al合金配線17の形成の際にもディンプルの発生が抑制できる。

【0049】

この後、ウェハ表面全面に保護膜16、17を成膜することによって、図1に示す半導体装置が完成する。

このように、TiN膜及びAl-Cu膜の下にTi膜が配置されたもので、1st Al合金配線13、2nd Al合金配線15及び3rd Al合金配線17等の各種Al合金配線を構成することにより、ディンプルを低減することができ、エレクトロマイグレーション寿命やストレスマイグレーション寿命を向上させることができる。

【0050】

(他の実施形態)

第1実施形態では、Al-Cu膜及びTiN膜の下面にTi膜を配置し、TiN膜の(111)配向性を向上させることで、Al-Cu膜の(111)配向性を向上させ、各種Al合金配線におけるディンプルの発生を抑制しているが、Al合金配線における(111)配向性が向上できれば、他の方法によってもディンプルの発生を抑制することができる。

【0051】

例えば、図2に示すTiN膜13bの下部にTi膜13aを配置しない構成であっても、スパッタ装置の到達真空度を従来よりも高めることにより、残留ガスが極めて少ない状態での超真空スパッタにてTiN膜13bが形成できるため、残留ガスによる影響を受けず、(111)配向性を向上することができる。具体的には、従来のスパッタ装置の真空度が 1×10^{-8} Torrであるとすれば、ポンプを別途設けることにより真空度を 1×10^{-10} Torr以下にすればよい。

【0052】

また、第1実施形態におけるAl合金配線13、15、17とWプラグ12との接続部において、図7に示すように、Al合金配線13、15、17を挟んだWプラグ12の反対側にAl合金層515配置するようにしてもよい。

これは、第1実施形態では、コンタクトホールの微細化に対応できるように、CMOSトランジスタや各種Al合金配線13、15、17の電氣的にW(タン

グステン)を有するWプラグ12を使用しているのであるが、A1とWとが接続される場合、A1とWのマイグレーション速度に差があることから、通電時に物質移動に不均一が生じ(カーケンドール効果)、マイグレーション速度が大きいA1がW近傍で移動してしまい、A1合金に介在する空孔が蓄積されてA1ボイド(空洞)が発生するという問題が生じうる。

【0053】

このため、A1合金配線13、15、17を挟んだWプラグ12の反対側にA1合金層51を配置すれば、A1ボイドにA1合金が供給され、上記問題を解決することができる。これによりA1ボイドによる配線寿命低下を防止することができる。

また、図8に示すように、第1実施形態におけるA1合金配線の一部をW等のマイグレーション速度の小さい物質52で構成するようにしてもよい。

【0054】

つまり、上述したようにA1ボイドは、マイグレーション速度差によってA1合金に介在する空孔が蓄積されるために発生するため、A1合金に介在する空孔量が少なくなればA1ボイドも小さくできる。これにより、A1ボイドによる配線寿命の低下を防止することができる。

【図面の簡単な説明】

【図1】

本発明にかかわる半導体装置の断面図である。

【図2】

図1におけるA1合金配線近傍を拡大した図である。

【図3】

図1に示す半導体装置の製造工程を示す図である。

【図4】

図3に続く半導体装置の製造工程を示す図である。

【図5】

図4に続く半導体装置の製造工程を示す図である。

【図6】

図1に示す構造のAl合金配線と従来の構造のAl合金配線との特性を比較した図である。

【図7】

他の実施形態におけるAl合金配線近傍を示す拡大図である。

【図8】

他の実施形態におけるAl合金配線近傍を示す拡大図である。

【図9】

本発明者らの検討に基づくディンプルの発生メカニズムを説明するための図である。

【図10】

従来におけるAl合金配線の構造を説明するための図である。

【符号の説明】

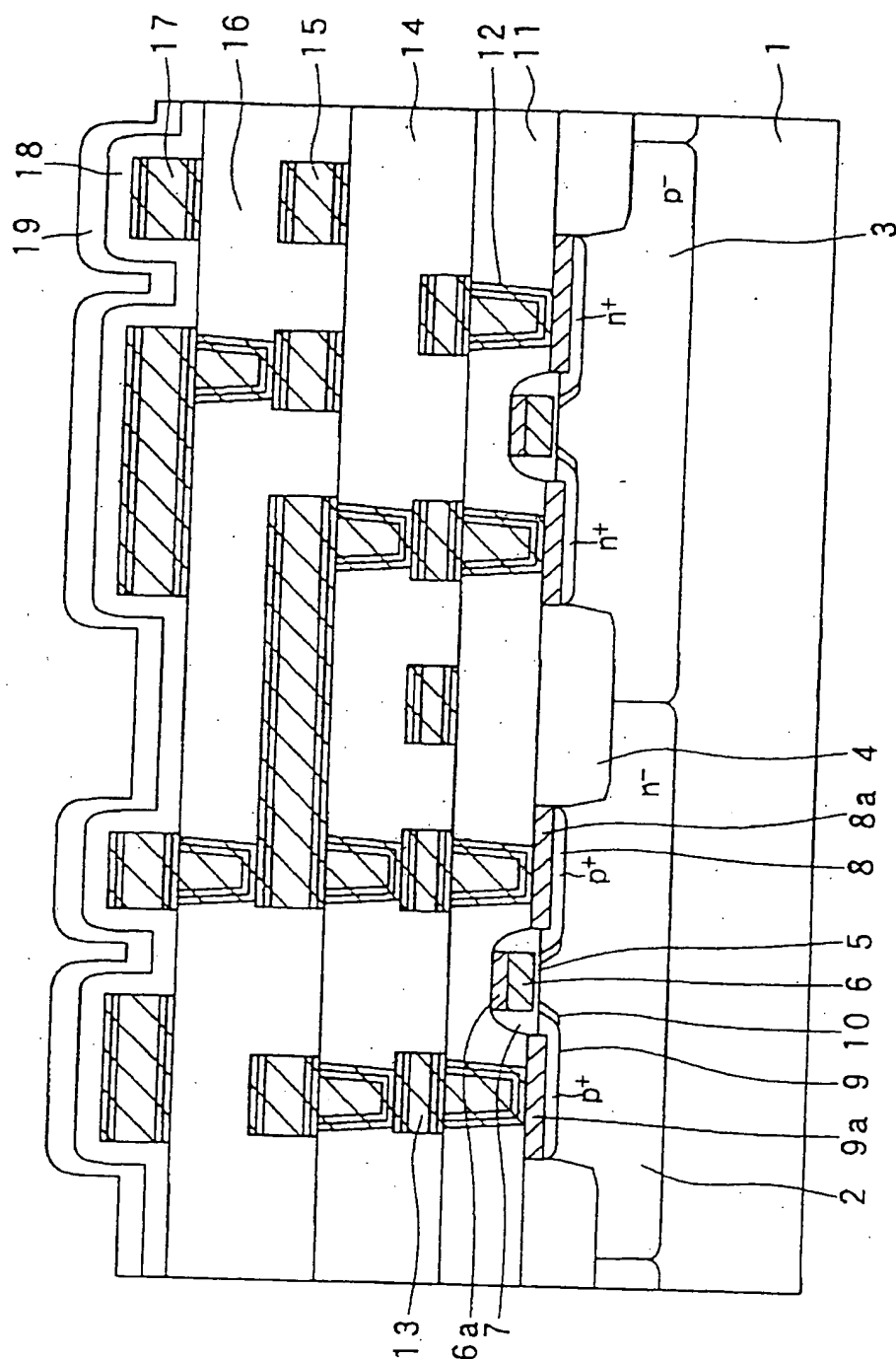
1…シリコン基板、2… n^- 型ウェル領域、3… p^- 型ウェル領域、
4…STI膜、4a…側壁絶縁膜、5…ゲート酸化膜、6…ゲート電極、
7…側壁酸化膜、8…ソース、9…ドレイン、10…電界緩和層10、
6a、8a、9a…シリサイド膜、11…層間絶縁膜、12…Wプラグ、
13…1st Al合金配線、13a…Ti膜、13b…TiN膜、
13c…Al-Cu膜、13d…Ti膜、13e TiN膜、
14…2nd Al合金配線、15…3rd Al合金配線。

~~図10(2)~~

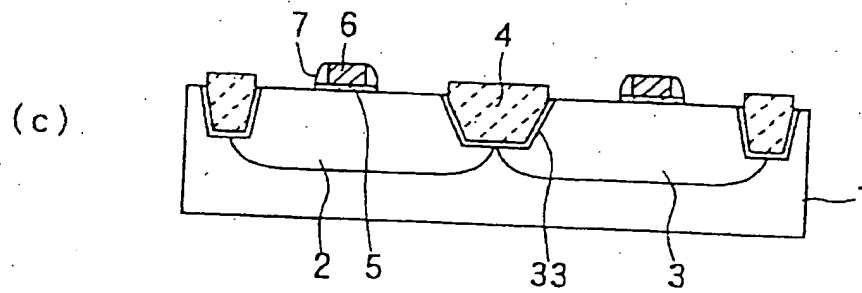
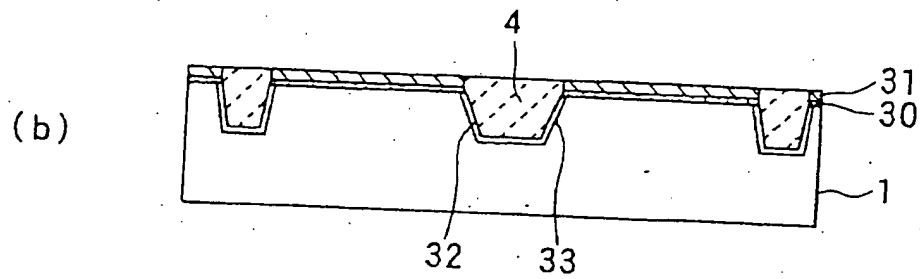
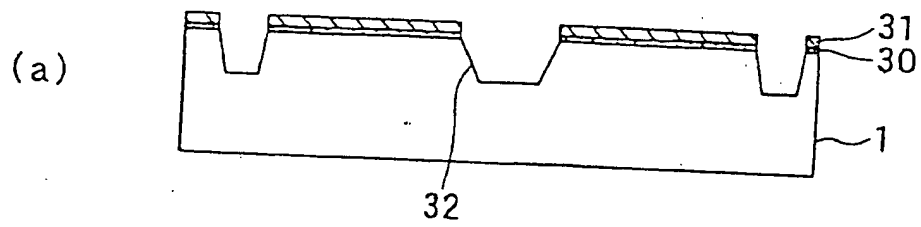
- ~~1. 3rd配線にCuAl₂が形成されている。(断面TEM) 分析結果を含む。~~
- ~~2. このCuAl₂がEMの断絶点であることをこの証明。不良解析写真(TEM.)~~
- ~~3. この断面図にはTi:Al₂O₃等の反応層が形成されている。~~

【書類名】 図面

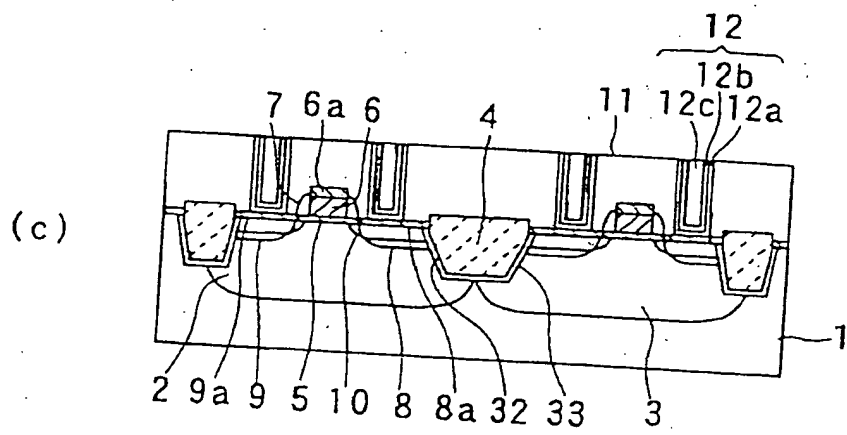
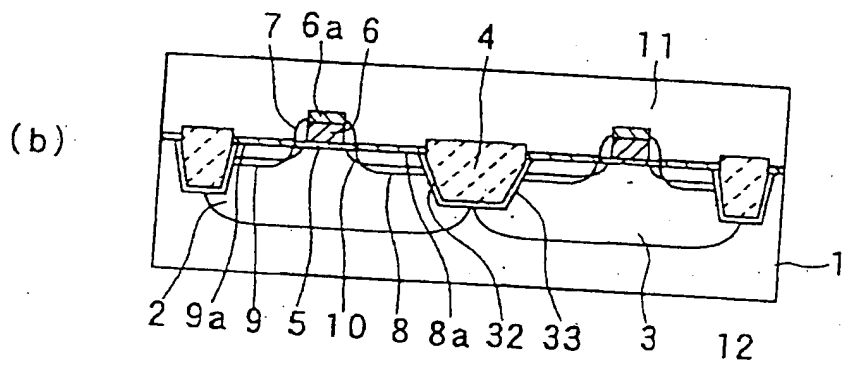
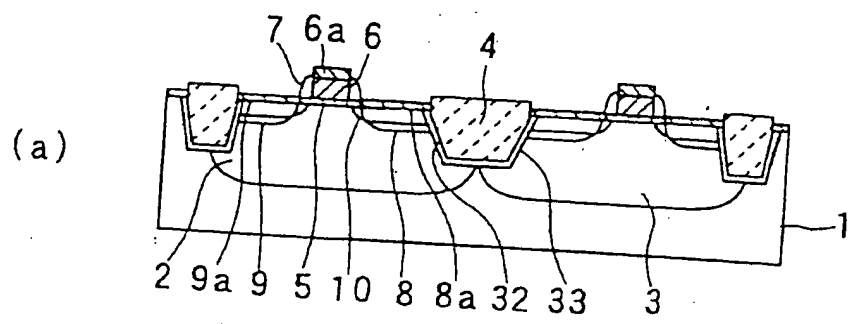
【図1】



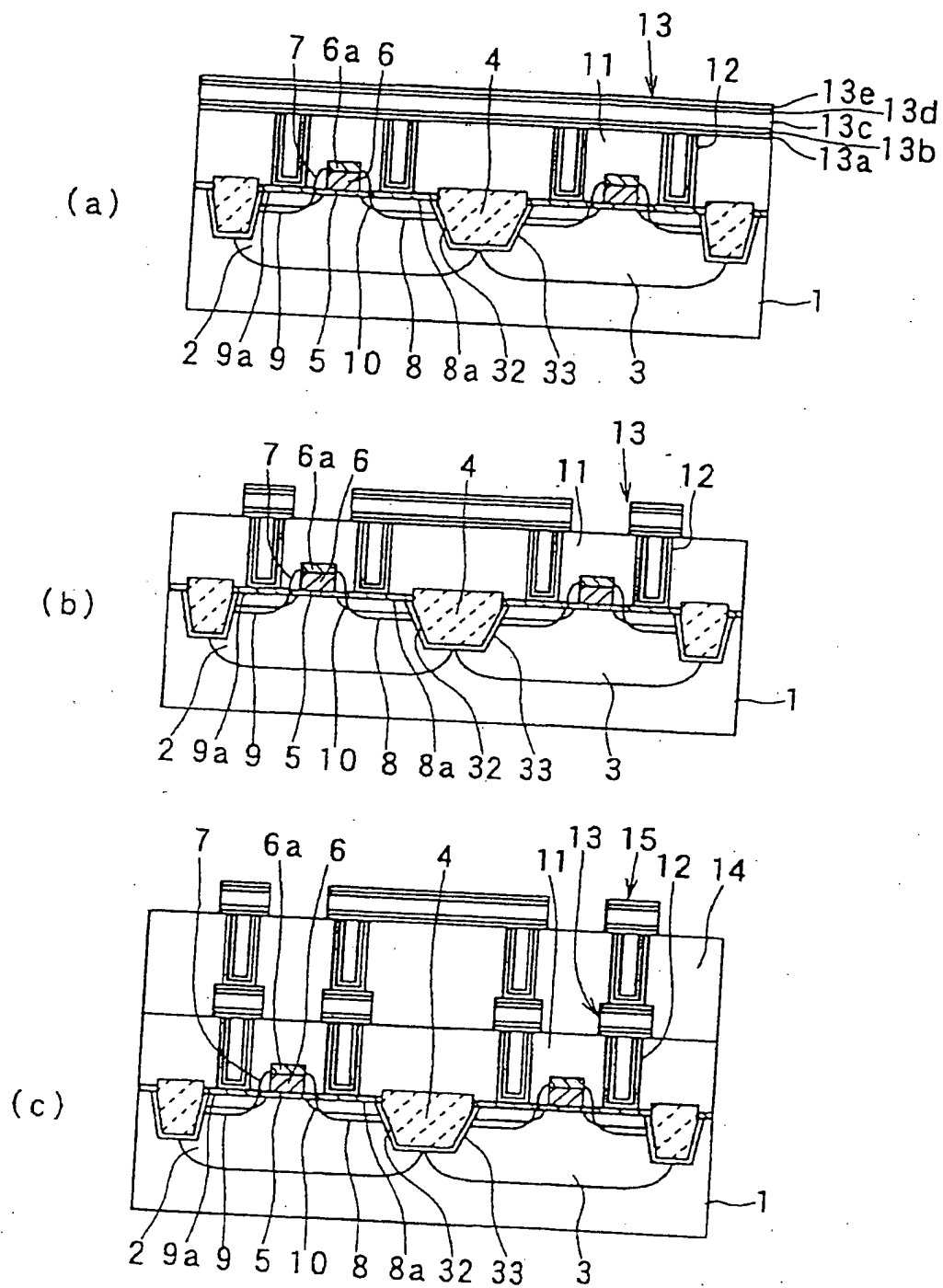
【図3】



【図4】



【図5】



伊藤洋二

特許事務所 御中

株式会社デンソー

技術管理部 知的財産室 管理主任部員

TEL(0566)25-5983 FAX(0566)25-4554

技術担当 99.6.-1 111
ダイヤル(0566)25-5986

下記のとおり国内出願をお願いします。

当社仮No 99-322

☒特許 ☐

技 術 分 野	半導体 (配線構造)	
貴 所 担 当 者	<input checked="" type="checkbox"/> 重要出願 ⇒ 次の担当者を指名します。 (三浦、様、) <input type="checkbox"/> 通常出願 ⇒ 予め決めさせて頂いた範囲内の担当者に貴所一任で指名下さい。	
願書等記載事項		
出 願 人 (総数 1 名)	<input checked="" type="checkbox"/> 株式会社デンソー <input type="checkbox"/> トヨタ自動車株式会社 <input type="checkbox"/> ㈱日本自動車部品総合研究所 (総研) <input type="checkbox"/>	
発 明 者 (総数 3 名)	氏名は、手続申請票に記載してあります。住所は、出願人の住所 (〇〇株式会社内) として下さい。国内優先権出願の場合、基礎出願の願書に記載した発明者も含めて記載して下さい。	
国内優先権の有無 <input checked="" type="checkbox"/> なし <input type="checkbox"/> あり	基礎出願 (貴所手続でない基礎出願は明細書同封) ①特実願平 - 号 月 日出願 当社No 貴所No ②特実願平 - 号 月 日出願 当社No 貴所No ③特実願平 - 号 月 日出願 当社No 貴所No	
審 査 請 求	<input checked="" type="checkbox"/> 後日連絡します <input type="checkbox"/> 出願と同時に請求して下さい。	
I P C -	クラス H01L グループ 21/3205 (願書へ記載) クラス グループ /	
先 行 技 術 文 献 <input type="checkbox"/> なし <input checked="" type="checkbox"/> あり	明細書で文献名を開示して下さい。 1. 2555949号 2. 3.	
参 考 文 献 <input type="checkbox"/> なし <input checked="" type="checkbox"/> あり	4 8-78416 1. 文献 "Alexa 世界 ~" 2. 10-98041 3. 10-106972	
出 願 メ モ	別紙を参照して下さい。	
技術内容問い合わせ先	手続申請票記載の筆頭発明者に問い合わせして下さい。	
外国出願の予定	<input type="checkbox"/> なし <input checked="" type="checkbox"/> あり <input type="checkbox"/> 未定	
処 理 日 程	<input checked="" type="checkbox"/> 依頼日より30日以内に原稿を送付して下さい。 <input type="checkbox"/> 期限厳守出願のため 月 日までに出願を完了して下さい。 (<input type="checkbox"/> 法定期限 <input type="checkbox"/> その他:)	事務担当 鈴 99.6.-3 木 ダイヤル (0566)25-5985
インタビュー	<input checked="" type="checkbox"/> インタビューを希望します。事務担当者まで連絡願います。	
デンソー・総研共願原稿送付	<input type="checkbox"/> チェック原稿を当社のみに送付 <input type="checkbox"/> チェック原稿を当社及び総研企画に送付	
費 用 請 求 先	<input checked="" type="checkbox"/> 出願人会社に直接請求して下さい。(共願の場合は均等負担) 総研の場合は、総研宛の請求書を当社へ送付して下さい。 <input type="checkbox"/> 本件は共願ですが、費用は当社のみに請求して下さい。 <input type="checkbox"/>	
出願控書類の必要部数 (管理課記入)	<input checked="" type="checkbox"/> 当 社: 出願書類一式 4 部、要約書とその選択図 各1部、FD 枚 <input type="checkbox"/> 共願先: 出願書類一式 部 以上、各々へ送付願います。但し、総研分は当社へ送付して下さい。	

同封書類 (※印以外の書類は、原稿作成後返却して下さい。)

※ ☒手続申請票※ ☒抄録※ ☒図面☐実施例説明書※ ☒出願メモ (クレーム方針等)☒品質評価表☐内容修正補充依頼書☐手続申請票再検討依頼書☐外国出願要否再検討依頼書☒先行技術文献 (Noは上記欄に記入)☐従来技術との相違点の説明書☐その他: 12. 2. 21

LITERAL TRANSLATION OF RELEVANT PORTIONS OF DENSO INVENTION
ENGINEERING REPORT

Pg. 1 (Document Details)

Reception number of intellectual property department 99-332

Application number of DENSO: 53886

Reception Date: February 18, 1999.

Completed date by the inventors: February 10, 1999.

Consideration date by chief of inventor's section: February 10, 1999.

Admission date by chief of inventor's division: February 12, 1999.

A Method of Manufacturing Semiconductor (A Method of Forming Wiring)

Inventors:

Kazuo Akamatsu, Electronic Systems R&D Division, Development 11 section.

Yoshihiko Isobe, Electronic Systems R&D Division, Development 11 section.

Hiroyuki Yamane, Electronic Systems R&D Division, Development 11 section.

Pg. 5 (Relevant to Claims 1 and 8)

[The object of the invention]

By making a reactivity-rich TiN film overlaying the Al alloy layers (successive vacuum sputtering process), this method provides the same lifetime elongation effect as seen in Al wiring EM / SM (stress migration) tolerance improvement by the anti-reflection film structure made of a lamination of titanium nitride (TiN) and titanium (Ti) diffused by Ti, and at the same time, by making a thin film using sputtering machine or the like in low temperature (150 degrees Celsius or lower) for suppressing heat-related AlN formation, this method provides a highly reliable wiring with a long EM / SM lifetime.

[Structure and operation]

<Thin film formation (deposition) condition and solid state properties of reactivity-rich TiN>

- (1) Thin film formation (deposition) condition
(Primary factor for forming a reactivity-rich TiN film by controlling power density of sputtering)

DC Power (Power density): 5.5 W/cm²

N₂ gas added reactive sputtering is

conducted on the following condition.

Other conditions: Temperature 270 Celsius

(actual temp. 230 - 240)

Pressure 5.5 mTorr

Ar flow 90 SCCM

N2 flow 90 SCCM

Pg. 11 (Relevant to Claim 2)

Problem;

Ti film thickness has to be approximately 5 nm to have a sufficiently long EM lifetime when an Al and W combined wiring is used because of the Kirkendall effect. The production process control is difficult because of its extreme slimness.

Pg. 12 (Relevant to Claims 4 – 7)

AlN suppression effect in TiN (ARC) single layer method

-Presumed mechanism-

In this method, a TiN film (1) is deposited by sputtering a Ti target surface (Oxidized TiN layer) with an inactive gas (Ar⁺ ion gas or the like not containing N₂ gas), and then a TiN film (2) is deposited by reactive sputtering of N₂ and inactive gas like Ar etc, in the early stage of ARC (TiN single layer) deposition.

By using this method, nitriding of Al is completely prevented because an N radical is not produced in the plasma during TiN (1) deposition.

Pg. 13 (Relevant to Claims 1 and 8)

Effect of soft-TiN (ARC) structure

-Presumed mechanism-

A TiN film is formed in a manufacturing method that uses Al and a reactive TiN film (refer to the attached AES measurement data -> p.7). In this method, an Al – Ti alloy layer of TiAl₃ and the like are formed, and thus interface energy between the Al alloy and the TiN is lowered. This method also heightens reliability (EM, SM lifetime) by diffusing Ti into Al from a reactive TiN and filling Al vacancy/voids. The Al – Ti chemical reaction layer is subdivided in the TiN film deposition manufacturing, and thus the method has the same effect as Ti film thinning.

The layer is subdivided because Cu in the Al-alloy of a not-subdivided layer is prone to diffuse, especially in the wiring structure of Al (wire) – W (hole) combination

in terms of EM lifetime. (Refer to the figure below.)

Pg. 14 (Relevant to Claim 3)

FIG. 4 High temperature bias test (EM) result for
Al-W via connection / isolated wiring pattern
[Same tendency observed for both patterns]

Vertical axis: Relative length of EM lifetime
Horizontal axis: AlN composition ratio (Al ratio to N)
(Lifetime value is 1 when [Al:N = 1:1])

FIG. 5 AlN film thickness (Sectional TEM measurement)

Vertical axis: Average AlN film thickness (nm)
Horizontal axis: AlN composition ratio (Al ratio to N)
(Lifetime value is 1 when [Al:N = 1:1])
Note (On the upper-right of the graph)
Sectional TEM example is shown. Refer to a photo.

FIG. 6 Sandwich structure of reactive TiN

[On the left]

Diffused Ti atoms are captured by Al voids/vacancy.

[On the right]

[Top] TiAl_3 or the like (Al Ti reaction layer)

Stress mitigation layer

[Bottom] Soft (reactive) TiN Sandwiched by Al-alloy

Pg. 19 (Relevant to Claims 1, 2 and 8)

FIG. 9 Target power – reactivity relationship
[TiN 30 nm deposition]

Vertical axis: Reactive layer thickness in Al-alloy (nm)

Horizontal axis: Ti target DC power density (W/cm^2)

FIG. 10 Effect of reactive TiN film thickness

[Target power density 5.5 W/cm²]
Vertical axis: Reactive layer thickness in Al-alloy (nm)
Horizontal axis: soft (reactive) TiN film thickness (nm)

FIG. 11 Relationship between TiN deposition temp. and AlN composition ratio

[TiN 30 nm deposition]
Vertical axis: AlN composition ratio (Al ratio to N)
Horizontal axis: TiN deposition temperature (Celsius)

Pg. 20 (Original Draft of Claims)

Hierarchy of claims

1. Structure patent

<Independent claim 1>

In a manufacturing method of an anti-reflection film (ARC) formed on a copper added Al-alloy (may be containing Si) wiring for a semiconductor electrode, a conventional low temperature deposition under 150 degrees Celsius has an AlN formation suppression effect, but not can not completely suppress the AlN formation. Therefore, an interface reaction layer (TiAl₃ and the like) between a TiN and an Al-alloy serves as a stress mitigation layer, departing from a primary intention of Ti doping, and diffusion of Ti into Al to be captured by voids/vacancy damages the expected effect of EM / SM lifetime elongation. To solve the above problem, the present invention provides a wiring structure that is not susceptible to AlN formation when an ARC is deposited on an Al-alloy film by a sputtering device depositing a reactive TiN (single material) film that easily forms an Al - Ti reaction layer from the Al-alloy film and TiAl₃ and the like.

<Dependent claim 1>: A composition ratio of the AlN formed on the interface between the ARC (TiN) and the Al-alloy is equal to or above 1.5 based on the amount of N. (N is supposed to be 1)

<Dependent claim 2>: Thickness of the AlN film on the interface between the ARC (TiN) and the Al-alloy is equal to or under 3.5 nm.

<Dependent claim 3>: The reactive TiN film is more effective when it is used not only for the ARC but also for an Al-alloy base layer to form a sandwich structure wiring.

<Dependent claim 4>: The (chemical) reaction layer such as TiAl₃ formed on the interface of the Al-alloy film forms a wiring in that Ti is diffused in the Al-alloy film, as shown in an AES measurement result.

<Dependent claim 5>: The (chemical) reaction layer such as TiAl_3 formed on the interface of the Al-alloy film forms a wiring that is subdivided, as shown in a sectional TEM measurement result.

2. Manufacturing method patent

<Independent claim 1>

(A manufacturing method in that) a TiN film (1) is deposited by sputtering Ti target nitrided surface (TiN) with an inactive gas (Ar^+ ion gas or the like not containing N_2 gas), and then a TiN film (2) is deposited by reactive sputtering of N_2 gas and inactive gas like Ar or the like, in the early stage of an ARC (TiN single layer) deposition.

<Dependent claim 1>: (A manufacturing method in that) a reactive TiN film is deposited by a reactive sputtering with a target power density of DC power being 5.5 W/cm^2 or under for forming a film thicker than 5 nm or more.

<Independent claim 2>

(A manufacturing method in that) an ARC (TiN) is formed on an Al-alloy wiring with wafer heating temperature of 180 degrees Celsius or under.

<Dependent claim 1>:

[same as the dependent claim 1 of the independent claim 1]

<Independent claim 3>

[same as the dependent claim 1 of the independent claim 1]

<Dependent claim 1>: [same as the independent claim 2]

<Dependent claim 2>: [same as the independent claim 1]

Pg. 21 (Original Draft of Claims)

<Embodiment data · structure for each claim>

(1) Structure patent

1. Independent claim:

Refer to typical structure model in FIG. 3. Refer to FIG. 1 for AlN formation mechanism.

- Dependent claim 1: Refer to FIG. 4.
- Dependent claim 2: Refer to FIG. 5.
- Dependent claim 3: Refer to FIG. 6.

- Dependent claim 4: Refer to FIG. 7.
- Dependent claim 5: Refer to FIG. 8.

(2) Manufacturing method patent

1. Independent claim 1: Refer to FIG. 2 for a manufacturing model. FIG. 12 shows a wiring lifetime (test) result by this manufacturing method.

- Dependent claim 1: Refer to FIG. 9 and FIG. 10.

2. Independent claim 2: Refer to FIG. 11 for manufacturing condition.

- Dependent claim 1: Same as FIG. 9 and FIG. 10.

3. Independent claim 3: Same as FIG. 9 and FIG. 10.

- Dependent claim 1: Same as the manufacturing model in FIG. 11.
- Dependent claim 2: Same as FIG. 2.